

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0017

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: FERROELECTRIC MEMORY DEVICE COMPRISING REDUNDANCY
CIRCUIT

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

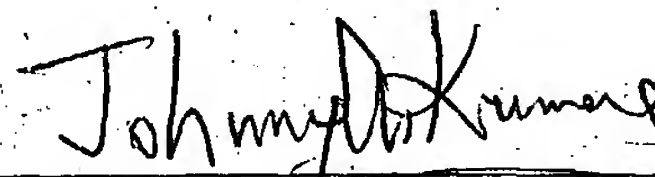
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0069179 filed November 8, 2002

Respectfully submitted,

Date: June 30, 2003

By



Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0069179
Application Number

출원 년 월 일 : 2002년 11월 08일
Date of Application NOV 08, 2002

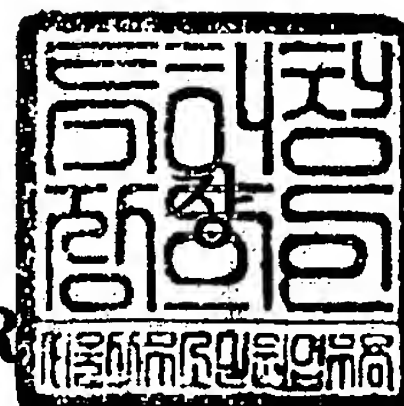
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.08
【국제특허분류】	H01L
【발명의 명칭】	강유전체 메모리 장치
【발명의 영문명칭】	Ferroelectric memory device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	26	면	26,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	28	항	1,005,000	원
---------	----	---	-----------	---

【합계】	1,060,000	원		
------	-----------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명에 의한 강유전체 메모리 장치(FRAM)는 비트라인이 메인 비트라인과 서브 비트라인으로 계층화된 구조의 메인 셀 어레이, 상기 메인 셀 어레이와 상기 메인 비트라인을 공유하도록 배치된 로우 리턴던시 셀 어레이, 상기 메인 셀 어레이와 워드라인 및 플레이트 라인을 공유하도록 배치된 제1 칼럼 리턴던시 셀 어레이, 상기 로우 리턴던시 셀 어레이와 리턴던시 워드라인 및 리턴던시 플레이트 라인을 공유하고 상기 칼럼 리턴던시 셀 어레이와 리턴던시 메인 비트라인을 공유하도록 배치된 제2 칼럼 리턴던시 셀 어레이, 제1 제어신호에 의하여 메인 비트라인 및 상기 리턴던시 메인 비트라인을 풀업시키는 메인 비트라인 풀업 제어부, 및 칼럼 선택 신호에 의하여 상기 메인 비트라인 및 상기 리턴던시 메인 비트라인을 데이터버스 라인과 연결시키는 칼럼 선택 제어부를 포함한다.

【대표도】

도 4

【명세서】

【발명의 명칭】

강유전체 메모리 장치{Ferroelectric memory device}

【도면의 간단한 설명】

도 1은 히스테리시스 곡선.

도 2는 기본적인 FRAM 셀 소자 구성도.

도 3은 기본적인 FRAM의 리드 라이트 타이밍도.

도 4는 본 발명에 의한 FRAM의 구성을 나타내는 블록도.

도 5는 본 발명에 의한 FRAM에서 메모리 셀 블록의 구성도.

도 6은 본 발명에 의한 메모리 셀의 비트라인 풀업 제어부.

도 7은 본 발명에 의한 메모리 셀의 칼럼 선택 제어부.

도 8은 본 발명에 의한 셀 어레이 블록에 포함된 메인 비트라인 부하 제어부 및 메인 서브 셀 블록의 상세 구성도.

도 9 및 도 10은 본 발명에 의한 FRAM의 라이트 및 리드 타이밍도.

도 11은 본 발명에 의한 FRAM에서 리턴던시 셀 어레이를 이용한 구제 방법을 나타내는 도면.

도 12는 본 발명에 의한 폴디드 비트라인(folded bit line) 구조의 제1 칼럼 리턴던시 셀 어레이의 구성도.

도 13은 본 발명에 의한 오픈 비트라인(open bit line) 구조의 제1 칼럼 리턴던시 셀 어레이의 구성도.

도 14 및 도 15는 본 발명에 의한 로우 리턴던시 셀 어레이 및 제2 칼럼 리턴던시 셀 어레이의 제1 실시예를 나타내는 구성도.

도 16 및 도 17은 본 발명에 의한 로우 리턴던시 셀 어레이 및 제2 칼럼 리턴던시 셀 어레이의 제2 실시예를 나타내는 구성도.

도 18 및 도 19는 본 발명에 의한 로우 리턴던시 셀 어레이 및 제2 칼럼 리턴던시 셀 어레이의 제3 실시예를 나타내는 구성도.

도 20 및 도 21은 본 발명에 의한 로우 리턴던시 셀 어레이 및 제2 칼럼 리턴던시 셀 어레이의 제4 실시예를 나타내는 구성도.

도 22 및 도 23은 본 발명에 의한 로우 리턴던시 셀 어레이 및 제2 칼럼 리턴던시 셀 어레이의 제5 실시예를 나타내는 구성도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 강유전체 메모리 장치에 관한 것으로, 특히 새로운 구조의 메모리 셀 및 이에 적합한 구조를 갖는 리턴던시 회로에 관한 것이다.

<19> 일반적으로 강유전체 메모리 즉, FRAM(Ferroelectric Random Access Memory)은 DRAM(Dynamic Random Access Memory) 정도의 데이터처리 속도를 갖고 전원의 오프(Off) 시에도 데이터가 보존되는 특성 때문에 차세대 기억소자로 주목받고 있다.

- <20> FRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로서 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는 것이다.
- <21> 도 1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 것이다. 도1에서와 같이 전계에 의해 유기된 분극은 전계를 제거하더라도 잔류 분극(또는 자발 분극)의 존재로 인하여 소멸되지 않고 일정량(d, a 상태)을 유지하고 있는 것을 알 수 있다. 강유전체 메모리 셀은 d, a 상태를 각각 1, 0으로 대응시켜 기억소자로 응용한 것이다.
- <22> 도 2는 강유전체 메모리의 단위 셀을 나타낸 것이다. 도2에 도시된 바와 같이 일방향으로 비트라인(BL)이 형성되고, 비트라인과 교차하는 방향으로 워드라인(WL)이 형성되고, 워드라인에 일정한 간격을 두고 워드라인과 동일한 방향으로 플레이트 라인(PL)이 형성되고, 게이트는 워드라인에 연결되고 소스는 비트라인에 연결되도록 트랜지스터(T1)가 형성되고 두 단자 중 제1 단자가 트랜지스터(T1)의 드레인에 연결되고 제2 단자는 플레이트 라인에 연결되도록 강유전체 캐패시터(FC1)가 형성된다.
- <23> 이와 같은 강유전체 메모리 소자의 데이터 입출력 동작은 다음과 같다. 도3a는 강유전체 메모리 소자의 라이트 모드(Write Mode)의 동작을 나타내는 타이밍도이고, 도 3b는 리드 모드(Read Mode)의 동작을 나타내는 타이밍도이다.
- <24> 도 3a에 도시된 라이트 모드의 동작을 설명하면, 외부에서 인가되는 칩 인에이블 신호(CSBpad)가 하이(High)에서 로우(Low)로 활성화되고, 동시에 라이트 인에이블 신호(WEBpad)를 하이에서 로우로 인가하면 라이트 모드가 시작된다. 이어 라이트 모드에서 어드레스 디코딩이 시작되면 해당 워드라인에 인가되는 펄스가 "로우"에서 "하이"로 천이되어 셀이 선택된다.

- <25> 선택된 셀에 로직값 "1"을 쓰기 위해서는 비트라인에 "하이" 신호를 인가하고 플레이트 라인에는 "로우" 신호를 인가하고, 셀에 로직값 "0"을 쓰기 위해서는 비트라인에 "로우" 신호를 인가하며 플레이트 라인에는 "하이" 신호를 인가한다.
- <26> 다음에는 도3b에 도시된 리드 모드의 동작을 설명한다. 외부에서 칩 인에이블 신호(CSBpad)를 "하이"에서 "로우"로 활성화 시키면 해당 워드라인이 선택되기 이전에 모든 비트라인은 이퀄라이즈 신호에 의해 "로우" 전압으로 등전위가 된다.
- <27> 그리고 각 비트라인을 비활성화 시킨 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드라인에는 "로우" 신호가 "하이"신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인에 "하이" 신호를 인가하여 강유전체 메모리에 저장된 로직값 "1"에 상응하는 데이터(Qs)를 파괴한다. 만약 강유전체 메모리에 로직값 "0"이 저장되어 있다면 그에 상응하는 데이터(Qns)는 파괴되지 않는다.
- <28> 이와 같이 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 되어 센스앰프는 로직값 "1" 또는 "0"을 감지하게 된다. 즉 데이터가 파괴된 경우는 도1의 히스테리시스 루프에서처럼 d에서 f로 변경된 경우에 해당하고, 데이터가 파괴되지 않은 경우는 a에서 f로 변경되는 것에 해당한다.
- <29> 따라서, 일정시간이 경과한 후에 센스앰프가 인에이블 되면 데이터가 파괴된 경우는 증폭되어 로직값 "1"을 출력하고, 데이터가 파괴되지 않은 경우에는 증폭되어 로직값 "0"을 출력한다. 이와 같이, 센스 앰프에서 데이터를 증폭한 후에는 원래의 데이터를 복원하여야 하므로 해당 워드라인에 "하이" 신호를 인가한 상태에서 플레이트 라인을 "하이"에서 "로우"로 비활성화시킨다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명에서는 강유전체 메모리 장치에서 비트라인을 메인 비트라인(MBL)과 서브 비트라인(SBL)으로 계층화하고 메인 비트라인(MBL)에 복수개의 서브 비트라인(SBL)이 각각 스위치를 통하여 연결되도록 하여 특정 셀에 접근하는 경우 비트라인의 구동 부하를 해당 셀이 존재하는 서브 비트라인(SBL)의 부하 수준으로 감소시킴으로써 구동속도를 향상시키도록 한다.

<31> 또한 본 발명은 이러한 셀 어레이 구조와 동일하거나 유사한 구조를 갖는 리턴던시 회로를 개시함으로써 리턴던시 회로의 동작 특성이 기본 셀 어레이와 동일하도록 한다.

【발명의 구성 및 작용】

<32> 본 발명에 의한 강유전체 메모리 장치(FRAM)는 비트라인이 메인 비트라인과 서브 비트라인으로 계층화된 구조의 메인 셀 어레이, 상기 메인 셀 어레이와 상기 메인 비트라인을 공유하도록 배치된 로우 리턴던시 셀 어레이, 상기 메인 셀 어레이와 워드라인 및 플레이트 라인을 공유하도록 배치된 제1 칼럼 리턴던시 셀 어레이, 상기 로우 리턴던시 셀 어레이와 리턴던시 워드라인 및 리턴던시 플레이트 라인을 공유하고 상기 칼럼 리턴던시 셀 어레이와 리턴던시 메인 비트라인을 공유하도록 배치된 제2 칼럼 리턴던시 셀 어레이, 제1 제어신호에 의하여 메인 비트라인 및 상기 리턴던시 메인 비트라인을 풀업시키는 메인 비트라인 풀업 제어부, 및 칼럼 선택 신호에 의하여 상기 메인 비트라인 및 상기 리턴던시 메인 비트라인을 데이터버스 라인과 연결시키는 칼럼 선택 제어부를 포함한다.

<33> 이하에서는 첨부한 도면을 참고로 본 발명의 실시예에 대하여 자세히 설명한다.

- <34> 도 4는 본 발명에 의한 강유전체 메모리(FRAM)에 포함된 각 구성요소들의 블록도이다. 본 발명에 의한 FRAM은 메모리 셀 부분, 데이터버스부, 및 기타 제어회로부로 크게 나뉜다. 메모리 셀 부분에는 메인 셀 어레이(120)와 리턴던시 셀 어레이(130, 140, 150)가 포함된다. 메인 비트라인 풀업제어부(110)는 제어신호에 따라 메인 셀 어레이(120)에 포함된 메인 비트라인과 칼럼 리턴던시 셀 어레이(130, 140)에 포함된 리턴던시 메인 비트라인을 풀업시킨다.
- <35> 칼럼 리턴던시 셀 어레이(130, 140)는 칼럼 선택 제어부(210)를 경유하여 리턴던트 칼럼(210)과 연결되며, 메인 셀 어레이(120)는 칼럼 선택 제어부(210)를 경유하여 메인 칼럼(220)과 연결된다. 리턴던트 칼럼(210)과 메인칼럼(220)은 개별적으로 데이터버스부(200)를 공유한다. 리턴던트 칼럼(210)과 공유되는 데이터버스부(200)는 리턴던트버스(200)를 경유하여 리턴던트 센스앰프 어레이부(310)와 연결되며, 메인칼럼(220)과 공유되는 데이터버스부(200)는 메인버스(230)를 경유하여 공통 센스앰프 어레이부(300)와 연결된다.
- <36> 도 5는 본 발명에 의한 강유전체 메모리의 메모리 셀 부분에 포함된 각 구성요소의 배치도이다. 메인 셀 어레이(120)는 하나 또는 그 이상의 메인 비트라인 부하 제어부(170), 및 복수개의 서브 셀 블록(180)을 포함한다.
- <37> 로우 리턴던시 셀 어레이(150)는 메인 셀 어레이(120)와 메인 비트라인을 공유하도록 배치된다. 로우 리턴던시 셀 어레이에는 소정 개수의 리턴던트 메모리 셀이 존재하여 메인 셀 어레이(120)에 포함된 셀이 워드라인의 페일(fail)로 인해 정상적으로 동작하지 않는 경우 이를 대체하게 된다.

- <38> 칼럼 리턴던시 셀 어레이는 메인 셀 어레이(120)와 워드라인 및 플레이트 라인을 공유하는 제1 칼럼 리턴던시 셀 어레이(130)와, 로우 리턴던시 셀 어레이(150)와 리턴던시 워드라인 및 리턴던시 플레이트 라인을 공유하는 제2 칼럼 리턴던시 셀 어레이(140)를 포함한다. 또한 제2 칼럼 리턴던시 셀 어레이(140)는 제1 칼럼 리턴던시 셀 어레이(130)와 리턴던시 메인 비트라인을 공유한다.
- <39> 제1 칼럼 리턴던시 셀 어레이는 메인 셀 어레이(120)에 포함된 셀이 비트라인의 페일로 인해 동작하지 않는 경우 이를 구제한다. 제2 칼럼 리턴던시 셀 어레이는 로우 리턴던시 셀에 포함된 셀이 비트라인의 페일로 인해 동작하지 않는 경우 이를 구제하게 된다.
- <40> 도 6은 본 발명에 의한 메인 비트라인 풀업 제어부(110)를 나타낸다.
- <41> 메인 비트라인 풀업 제어부(110)는 게이트에 제어신호(MBPUC)가 연결되고 소스에 Vpp 또는 Vcc가 연결되며 드레인이 메인 비트라인 또는 리턴던시 메인 비트라인과 연결되는 PMOS 트랜지스터로 구성된다. 메인 비트라인 풀업 제어부(110)는 "프리차지"시에 메인 비트라인 또는 리턴던시 메인 비트라인을 "하이" 레벨로 풀업시키는 역할을 한다.
- <42> 도 7은 본 발명에 의한 칼럼 선택 제어부(160)를 나타낸다. 칼럼 선택 제어부(160)는 제어신호(CSN, CSP)에 의하여 메인 비트라인 및 리턴던시 메인 비트라인을 각각 메인 칼럼라인 및 리턴던트 칼럼라인과 연결하는 트랜스미션게이트로 구성된다.
- <43> 도 8은 본 발명에 의한 메인 셀 어레이 블록에 포함된 메인 서브 셀 블록(180)과 메인 비트라인 부하 제어부(170)의 회로도이다. 편의상 서브 셀 블록(180)은 하나만 도시하였다. 메인 비트라인 부하 제어부(170)는 게이트에 제어신호(MBLC)가 연결되고 소스

는 V_{pp} 또는 V_{cc} 와 연결되며 드레인이 메인 비트라인(10)과 연결되는 PMOS 트랜지스터로 구성된다.

<44> 제어신호(MBLC)가 활성화 된 경우 메인 비트라인 부하 제어부(170)는 메인 비트라인(10)의 부하 역할을 수행한다. 메인 비트라인(10)의 감지 전압은 메인 비트라인(10) 부하 저항과 전류 레벨에 의하여 결정된다. 전류 레벨은 트랜지스터(N1)에 의하여 결정된다. 메인 비트라인 부하 제어부(170)는 메인 비트라인(10)마다 하나씩 연결된다. 그러나 메인 비트라인의 부하가 큰 경우에는 메인 비트라인 부하 제어부(170)를 소정의 개수의 메인 서브 셀 블록(180)들마다 배치하여 구동부하를 감소시킨다.

<45> 하나의 서브 셀 블록(180)은 각각 워드라인($WL<m>$) 및 플레이트 라인($PL<m>$)에 연결된 복수 개의 단위 메모리 셀에 공통으로 연결된 서브 비트라인(20), 게이트에 서브 비트라인(20)의 제1단이 연결되고 드레인이 메인 비트라인(10)에 연결된 전류 조절용 NMOS 트랜지스터(N1), 게이트에 제어신호(MBSW)가 연결되고 드레인이 전류 조절용 NMOS 트랜지스터(N1)의 소스에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터(N2), 게이트에 제어신호(SBPD)가 연결되고 드레인이 서브 비트라인(20)의 제2단에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터(N3), 게이트에 제어신호(SBSW2)가 연결되고 소스가 서브 비트라인(SBL)의 제2단에 연결되고 드레인이 제어신호(SBPU)에 연결되는 NMOS 트랜지스터(N4); 및 게이트에 제어신호(SBSW1)가 연결되고 드레인이 메인 비트라인(10)에 연결되고 소스가 서브 비트라인(20)의 제2단에 연결되는 NMOS 트랜지스터(N5)로 구성된다.

<46> 메인 비트라인(10)에 포함된 복수개의 서브 비트라인(20) 중에 한 번에 한 개만 활성화시킴으로써 메인 비트라인의 부하를 하나의 서브 비트라인(20)의 부하 수준으로 줄일 수 있다. 서브 비트라인(20)의 선택은 SBSW1에 의해 수행된다.

- <47> 서브 비트라인(20)은 풀 다운 NMOS 트랜지스터(N3)의 조정 신호인 SBPD 신호가 활성화 되면 서브 비트라인(20)의 전위를 그라운드 레벨로 조정한다.
- <48> SBPU 신호는 서브 비트라인(20)에 공급할 전원 전압을 조정하는 신호이다. 저 전압에서 "하이" 전압이 필요한 경우 Vcc 전압보다 높은 전압을 생성하여 공급한다.
- <49> SBSW1, SBSW2는 SBPU와 서브 비트라인(20) 사이의 신호 흐름을 조정하는 제어 신호이다. 서브 비트라인(20)에는 복수개의 단위 셀들이 연결되어 있다.
- <50> 서브 비트라인(20)은 NMOS 트랜지스터(N1)의 게이트에 연결되어 메인 비트라인(10)의 센싱 전압을 조절하게 되어 있다. NMOS 트랜지스터(N1)의 소스 단자는 공통으로 연결되어 MBSW의 조정을 받는다.
- <51> 도 9는 본 발명에 의한 FRAM의 라이트 동작시의 타이밍도이다.
- <52> t2, t3 구간은 감지 구간이고, t4 구간은 셀프 부스팅을 위한 준비기간이다. t5 구간은 "하이" 레벨을 쓰는 구간이고, t6 구간은 "로우" 레벨을 쓰는 구간이다.
- <53> 셀에 기록된 신호의 레벨을 감지하는 원리는 다음과 같다. 셀의 데이터가 "하이"이면 서브 비트라인(20, SBL)의 전압도 "하이" 레벨이 되므로 NMOS 트랜지스터(N1)에 흐르는 전류가 커져서 레퍼런스 레벨보다 메인 비트라인(10, MBL) 전압이 낮게된다. 따라서 반대로 셀의 데이터가 "로우"이면 서브 비트라인(20)의 전압도 낮은 레벨이 되므로 NMOS 트랜지스터(N1)에 흐르는 전류가 작아져 레퍼런스 레벨보다 메인 비트라인(10)의 전압이 높게된다. 이리하여 셀에 저장된 데이터를 감지할 수 있다.
- <54> t4 구간은 셀프 부스팅을 위한 준비 기간이다. SBPU가 "로우"로 유지되는 상태에서 SBSW2를 "하이"로 만들면 트랜지스터(N4)의 게이트와 소스 또는 드레인 사이 기생 캐패

시터에 전하가 충전된다. 이때 t5 구간에서 SBPU를 "하이"로하면 상기 충전된 전하에 의한 추가적인 전위차만큼 SBSW2, 서브 비트라인(20), 및 워드라인(WL<i>)</i>의 전위가 부스팅된다. t5 구간에서는 셀에 "1"이 자동적으로 저장된다.

<55> 만일 입출력 버퍼를 통해 메인 비트라인(10)에 제공된 값이 "0"이라면 SBSW1을 활성화하고 SBSW2를 비활성화한 후, 플레이트 라인(PL<i>)</i>의 전위를 하이로 하면 서브 비트라인(20)의 전위도 "0"이 되므로 셀에 저장되어 있던 전하가 서브 비트라인으로 이동하면서 셀에 "0"이 기록된다(구간 t6).

<56> 도 10은 읽기 동작을 나타내는 타이밍도이다.

<57> t2, t3 구간은 감지 구간이며 t5 구간은 "1" 레벨을 쓰는 구간이다. t6 구간은 "0" 레벨을 복구하는 구간이다.

<58> t2 내지 t4 구간의 동작은 도9에 대한 설명과 동일하다. 다만 리드 동작 후에는 리스��어 동작이 수행되어야 하는데 t5, t6 구간이 리스토어를 수행한다. 그런데 t5 구간에서는 원래 저장되어 있던 값이 "1"인지 "0"인지에 관계없이 "1"을 리스토어 한다. "0"은 t6 구간에서 리스토어된다. 리스토어 동작은 쓰기 동작과 동일하므로 설명을 생략한다.

<59> 도 11은 본 발명에 의한 셀 어레이 구성에 있어서 페일 비트 셀의 구제 방법을 나타내는 도면이다. 페일 로우가 발생하면 로우 리턴던시 셀 어레이(150)를 이용해 페일 로우를 구제한다. 페일 칼럼이 발생하면 칼럼 리턴던시 셀 어레이(130, 140)를 이용해 페일 칼럼을 구제한다. 자세한 내용은 후술한다.

<60> 도 12는 폴디드 비트라인(folded bit line) 구조의 메인 셀 어레이(120) 및 제1 칼럼 리턴던시 셀 어레이(130)의 부분을 나타낸 것이다. 폴디드 비트라인 구조에서는 한

쌍의 메인 비트라인(10)이 하나의 칼럼 어드레스에 대응한다. 이때 각각의 메인 비트라인(10)에는 동일한 칼럼 어드레스를 갖는 셀들의 반수에 해당하는 셀들이 플레이트 라인을 공통으로 하여 서로 지그재그 형태로 배치된다. 따라서 플레이트 라인의 개수는 워드라인 수의 반이 된다. 제1 칼럼 리턴던시 셀 어레이(130)는 구제 대상인 메인 셀 어레이(12)와 동일한 구조를 가지게 된다. 리턴던시 셀은 메인 셀과 동시에 동작하되 폐일로 판명된 셀에 대해서는 리턴던시 셀과 데이터를 주고받고 그렇지 않은 경우에는 메인 셀과 데이터를 주고받는다. 따라서 도면에 나타난 바와 같이 구제대상인 메인 셀과 리턴던시 셀은 제어신호(MBPD, SBSW1, SBSW2)를 공유하게 된다. 다만 폴디드 비트라인 구조에서는 좌측 및 우측 두개의 메인 비트라인이 한 쌍을 이루므로 메인 셀에서 이용하는 SBSW2_L과 SBSW2_R은 각각 리턴던시 셀에서 이용하는 SBSW2_L과 SBSW2_R에 대응한다.

<61> 도 13은 오픈 비트라인(open bit line) 구조의 메인 셀 어레이(120) 및 제1 칼럼 리턴던시 셀 어레이(130)을 나타낸다. 오픈 비트라인 구조에서는 하나의 칼럼 어드레스에 하나의 메인 비트라인이 대응한다. 따라서 동일한 칼럼 어드레스를 갖는 모든 셀들은 하나의 메인 비트라인에 연결된다. 위와 마찬가지로 이유로 메인 셀과 리턴던시 셀은 제어신호(SBSW1, SBSW2, MBPD)를 공유한다.

<62> 제1 칼럼 리턴던시 셀 어레이(130)는 대응하는 메인 셀 어레이(120)의 구조와 동일하고, 제2 칼럼 리턴던시 셀 어레이(140)는 대응하는 로우 리턴던시 셀 어레이(150)의 구조와 동일하다. 그러나 로우 리턴던시 셀 어레이(150)는 대응하는 메인 셀 어레이(120)의 구조로부터 약간의 변형이 가능하다.

- <63> 도 14 및 도 15는 본 발명의 제1 실시예에 의한 제2 칼럼 리턴던시 셀 어레이(140)와 로우 리턴던시 셀 어레이(150)의 구조를 나타낸다. 도 14는 폴디드(folded) 비트라인 구조의 셀 어레이이고 도 15는 오픈(open) 비트라인 구조의 셀 어레이를 나타낸다.
- <64> 본 실시예에서 기본적으로 로우 리턴던시 셀 어레이(150)에 포함된 서브 셀 블록의 개수 및 구조는 메인 셀 어레이(120)에 포함된 서브 셀 블록의 개수 및 구조와 완전히 동일하다. 로우 리턴던시 셀 어레이(150)도 복수개의 서브 셀 블록으로 구성될 수 있다. 다만 본 실시예에서 리턴던시 셀 내에서 사용하지 않는 워드라인 및 플레이트 라인들은 모두 그라운드로 접지시킨다.
- <65> 본 실시예와 같이 리턴던시 셀 어레이의 구조를 메인 셀 어레이의 구조와 동일하게 함으로써 구동 부하의 영향을 동일하게 할 수 있어서 제어 동작이 간단해진다. 본 실시예는 유효한 리턴던시 로우가 많을 때 효율적인 방법이다.
- <66> 도 16 및 도 17은 본 발명의 제2 실시예에 의한 제2 칼럼 리턴던시 셀 어레이(140)와 로우 리턴던시 셀 어레이(150)의 구조를 나타낸다. 도 16은 폴디드 비트라인 구조의 셀 어레이이고 도 17은 오픈 비트라인 구조의 셀 어레이를 나타낸다.
- <67> 본 실시예에서 로우 리턴던시 셀 어레이(150)에 포함된 서브 셀 블록의 구조는 메인 셀 어레이(120)에 포함된 서브 셀 블록의 구조와 완전히 동일하다. 다만 본 실시예에서는 제1 실시예와는 달리 사용하지 않는 셀 대신에 등가 용량의 캐패시터(190)를 사용한다. 본 실시예에서는 캐패시터로서 NMOS 트랜지스터를 사용하여 메인 셀과 동일한 부하를 갖도록 조절한다. NMOS 트랜지스터의 게이트는 단위 면적당 캐패시턴스가 크므로 리턴던시 셀 어레이의 면적을 줄일 수 있는 효과가 있다. 이때 게이트는 서브 비트라인(20')에 연결하고 드레인과 소스는 접지한다.

- <68> 도 18 및 도 19는 본 발명의 제3 실시예에 의한 제2 칼럼 리턴던시 셀 어레이(140)와 로우 리턴던시 셀 어레이(150)의 구조를 나타낸다. 도18은 폴디드 비트라인 구조의 셀 어레이이고 도19는 오픈 비트라인 구조의 셀 어레이를 나타낸다.
- <69> 본 실시예는 제2 실시예와 동일하나 NMOS 트랜지스터의 연결 방식 및 작용에 있어서 차이가 있다. 드레인 및 소스는 서브 비트라인(20')에 연결되고 게이트는 접지된다. 메인 셀 어레이의 단위 셀에 포함된 NMOS 트랜지스터의 드레인은 서브 비트라인(20)과 연결된다. 본 실시예에서도 캐패시터로 사용되는 NMOS 트랜지스터(190)의 드레인이 서브 비트라인(20')과 연결됨으로써 서브 비트라인(20')의 전압에 대한 캐패시턴스 의존성이 메인 셀 어레이의 서브 비트라인(20)의 경우와 유사하게 된다.
- <70> 도 20 및 도 21은 본 발명의 제4 실시예에 의한 제2 칼럼 리턴던시 셀 어레이(140)와 로우 리턴던시 셀 어레이(150)의 구조를 나타낸다. 도16은 폴디드 비트라인 구조의 셀 어레이이고 도 17은 오픈 비트라인 구조의 셀 어레이를 나타낸다.
- <71> 본 실시예에서 기본적으로 로우 리턴던시 셀 어레이(150)에 포함된 서브 셀 블록의 구조는 메인 셀 어레이(120)에 포함된 서브 셀 블록의 구조와 완전히 동일하다. 다만 본 실시예에서는 제1 실시예와는 달리 사용하지 않는 셀 대신에 등가 용량의 캐패시터(190)를 사용한다. 본 실시예에서는 캐패시터로서 다이오드를 사용하여 메인 셀과 동일한 부하를 갖도록 조절한다. 다이오드의 N+단은 단위 면적당 캐패시턴스가 크므로 이를 이용하면 리턴던시 셀 어레이의 크기를 줄일 수 있다. 다이오드의 P+단은 접지시킨다.
- <72> 도 22 및 도 23은 본 발명의 제5 실시예에 의한 제2 칼럼 리턴던시 셀 어레이(140)와 로우 리턴던시 셀 어레이(150)의 구조를 나타낸다. 도 22는 폴디드 비트라인 구조의 셀 어레이이고 도 23은 오픈 비트라인 구조의 셀 어레이를 나타낸다.

<73> 본 실시예에서 기본적으로 로우 리던던시 셀 어레이(150)에 포함된 서브 셀 블록의 구조는 메인 셀 어레이(120)에 포함된 서브 셀 블록의 구조와 완전히 동일하다. 다만 본 실시예에서는 제1 실시예와는 달리 사용하지 않는 셀 대신에 등가 용량의 캐패시터(190)를 사용한다. 본 실시예에서는 캐패시터로서 강유전체 캐패시터를 사용하여 메인 셀과 동일한 부하를 갖도록 조절한다. 강유전체 캐패시터는 단위 면적당 캐패시턴스가 매우 크므로 이를 이용하면 리던던시 셀 어레이의 크기를 줄일 수 있다.

<74> 또한 도 14 내지 도 23에서 제2 칼럼 리던던시 셀 어레이(140)는 대응하는 로우 리던던시 셀 어레이(150)와 동일한 구조를 갖는다.

【발명의 효과】

<75> 본 발명에 의하여 메인 셀 어레이와 구동 특성이 동일한 리던던시 셀 어레이를 제공할 수 있다. 또한 리던던시 셀 어레이의 크기를 줄임으로써 전체 메모리의 레이아웃 면적을 줄일 수 있다.

【특허청구범위】**【청구항 1】**

비트라인이 메인 비트라인과 서브 비트라인으로 계층화된 구조의 메인 셀 어레이;

상기 메인 셀 어레이와 상기 메인 비트라인을 공유하도록 배치된 로우 리턴던시 셀 어레이;

상기 메인 셀 어레이와 워드라인 및 플레이트 라인을 공유하도록 배치된 제1 칼럼 리턴던시 셀 어레이;

상기 로우 리턴던시 셀 어레이와 리턴던시 워드라인 및 리턴던시 플레이트 라인을 공유하고 상기 칼럼 리턴던시 셀 어레이와 리턴던시 메인 비트라인을 공유하도록 배치된 제2 칼럼 리턴던시 셀 어레이;

제1 제어신호에 의하여 메인 비트라인 및 상기 리턴던시 메인 비트라인을 풀업시키는 메인 비트라인 풀업 제어부; 및

칼럼 선택 신호에 의하여 상기 메인 비트라인 및 상기 리턴던시 메인 비트라인을 데이터버스 라인과 연결시키는 칼럼 선택 제어부

를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 리턴던시 메인 비트라인은 리턴던트 버스 라인을 경유하여 리턴던트 센스앰프와 연결되고, 상기 메인 비트라인은 메인 버스를 경유하여 상기 리턴던트 센스앰프와 구별되는 메인 센스앰프와 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 3】

제 1 항에 있어서, 상기 메인 셀 어레이는

양극 전원과 상기 메인 비트라인 사이에 연결되어 제2 제어신호에 의하여 전류의 흐름을 제어하는 메인 비트라인 부하 제어부; 및

상기 메인 비트라인 풀업 제어부와 상기 칼럼 선택 제어부 사이에 일렬로 배열되며 각각의 양단에서 상기 메인 비트라인과 연결되는 복수개의 메인 서브 셀 블록을 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 메인 비트라인 부하 제어부는 상기 메인 비트라인마다 하나씩 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 5】

제 3 항에 있어서,

상기 메인 비트라인 부하 제어부는 상기 메인 비트라인마다 복수개가 연결되며 상기 소정의 개수의 메인 서브 셀 블록마다 균일하게 배치되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 6】

제 1 항에 있어서,

상기 메인 비트라인 풀업 제어부는 게이트에 상기 제1 제어신호가 입력되고 소스가 양의 전원과 연결되며 드레인이 상기 메인 비트라인에 연결된 PMOS 트랜지스터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 7】

제 1 항에 있어서,

상기 칼럼 선택 제어부는 게이트에 상기 칼럼 어드레스 신호가 입력되고 양단에 각각 상기 데이터버스 라인과 상기 메인 비트라인이 연결된 트랜스미션 게이트임을 특징으로 하는 강유전체 메모리 장치.

【청구항 8】

제 3 항에 있어서,

상기 메인 비트라인 부하 제어부는 게이트에 상기 제2 제어신호가 입력되고 소스가 양의 전원과 연결되며 드레인이 상기 메인 비트라인과 연결된 PMOS 트랜지스터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 9】

제 3 항에 있어서,

상기 메인 서브 셀 블록은 각각 워드라인 및 플레이트 라인과 연결된 복수개의 단위 메모리 셀이 공통으로 연결된 서브 비트라인;
게이트에 상기 서브 비트라인의 제1 단이 연결되고 드레인에 상기 메인 비트라인이 연결된 전류 조절용 제1 NMOS 트랜지스터;

게이트에 제3 제어신호가 연결되고 드레인에 상기 전류 조절용 NMOS 트랜지스터의 소스가 연결되고 소스가 접지되어 있는 제2 NMOS 트랜지스터;

게이트에 제4 제어신호가 연결되고 드레인에 상기 서브 비트라인의 제2 단이 연결되고 소스가 접지되어 있는 제3 NMOS 트랜지스터;

게이트에 제5 제어신호가 연결되고 소스에 상기 서브 비트라인의 제2 단이 연결되고 드레인에 제6 제어신호에 연결되는 제4 NMOS 트랜지스터; 및

게이트에 제7 제어신호가 연결되고 드레인에 상기 메인 비트라인이 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되는 제5 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 10】

제 9 항에 있어서,

상기 로우 리던던시 셀 어레이는 복수개의 서브 로우 리던던시 셀 블록을 포함하는 것으로서

상기 서브 로우 리던던시 셀 블록은 각각의 양단에서 상기 메인 비트라인과 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 11】

제 10 항에 있어서,

상기 각각의 로우 리던던시 서브 셀 블록은 상기 메인 서브 셀 블록과 동일한 구조로서 상기 메인 서브 셀 블록과 동일한 수의 단위 메모리 셀을 포함하고, 소정의 상기

단위 메모리 셀에 연결된 리턴던시 워드라인 및 리턴던시 플레이트 라인은 접지된 것임을 특징으로 하는 강유전체 메모리 장치.

【청구항 12】

제 10 항에 있어서,

상기 로우 리턴던시 서브 셀 블록은 상기 메인 서브 셀 블록과 동일한 구조로서 상기 메인 서브 셀 블록에 포함된 단위 메모리 셀의 개수보다 적은 수의 단위 메모리 셀을 포함하며, 상기 로우 리턴던시 서브 셀 블록에 포함된 서브 비트라인과 그라운드 사이에 연결된 캐패시터를 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 13】

제 12 항에 있어서,

상기 캐패시터는 게이트가 상기 서브 비트라인에 연결되고 드레인과 소스가 접지된 NMOS 트랜지스터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 14】

제 12 항에 있어서,

상기 캐패시터는 게이트가 접지되고 드레인과 소스가 상기 서브 비트라인에 연결된 NMOS 트랜지스터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 15】

제 12 항에 있어서,

상기 캐패시터는 P전극이 접지되고 N 전극이 상기 서브 비트라인에 연결된 다이오드임을 특징으로 하는 강유전체 메모리 장치.

【청구항 16】

제 12 항에 있어서,

상기 캐패시터는 강유전체 캐패시터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 17】

제 10 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 제1 칼럼 리턴던시 셀 어레이는 각각 리턴던시 메인 비트라인을 포함하는 복수개의 제1 단위 셀 어레이를 포함하고, 상기 각각의 제1 단위 셀 어레이의 구조는 대응하는 상기 메인 셀 어레이의 구조와 동일한 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 18】

제 17 항에 있어서,

상기 제2 칼럼 리턴던시 셀 어레이는 각각 상기 제1 단위 셀 어레이와 상기 리턴던시 메인 비트라인을 공유하는 제2 단위 셀 어레이를 포함하고, 상기 각각의 제2 단위 셀 어레이의 구조는 대응하는 상기 로우 리턴던시 셀 어레이의 구조와 동일한 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 19】

(가) 메인 비트라인과 양의 전원의 사이에 연결되어 제2 제어신호에 의하여 전류의 흐름을 제어하는 메인 비트라인 부하 제어부, 및

(나) 각각의 양단에서 상기 메인 비트라인과 연결되며 각각

(a) 워드라인 및 플레이트 라인과 연결된 복수개의 단위 메모리 셀이 공통으로 연결된 서브 비트라인,

(b) 게이트에 상기 서브 비트라인의 제1 단이 연결되고 드레인에 상기 메인 비트라인이 연결된 전류 조절용 제1 NMOS 트랜지스터,

(c) 게이트에 제3 제어신호가 연결되고 드레인에 상기 전류 조절용 NMOS 트랜지스터의 소스가 연결되고 소스가 접지되어 있는 제2 NMOS 트랜지스터,

(d) 게이트에 제4 제어신호가 연결되고 드레인에 상기 서브 비트라인의 제2 단이 연결되고 소스가 접지되어 있는 제3 NMOS 트랜지스터,

(e) 게이트에 제5 제어신호가 연결되고 소스에 상기 서브 비트라인의 제2 단이 연결되고 드레인에 제6 제어신호에 연결되는 제4 NMOS 트랜지스터, 및

(f) 게이트에 제7 제어신호가 연결되고 드레인에 상기 메인 비트라인이 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되는 제5 NMOS 트랜지스터

를 포함하는 복수개의 메인 서브 셀 블록을 포함하는 메인 셀 어레이;

(2) 상기 메인 셀 어레이와 상기 메인 비트라인을 공유하도록 배치된 로우 리턴던시 셀 어레이;

(3) 상기 메인 셀 어레이와 상기 워드라인 및 상기 플레이트 라인을 공유하고 리턴던시 메인 비트라인을 포함하는 제1 칼럼 리턴던시 셀 어레이;

(4) 상기 로우 리턴던시 셀 어레이와 리턴던시 워드라인 및 리턴던시 플레이트 라인을 공유하고 상기 칼럼 리턴던시 셀 어레이와 리턴던시 메인 비트라인을 공유하도록 배치된 제2 칼럼 리턴던시 셀 어레이;

(5) 제1 제어신호에 의하여 메인 비트라인 및 상기 리턴던시 메인 비트라인을 풀업시키는 메인 비트라인 풀업 제어부;

- (6) 칼럼 선택 신호에 의하여 상기 메인 비트라인 및 상기 리턴던시 메인 비트라인을 각각 리턴던트 칼럼 및 메인칼럼과 연결하는 칼럼 선택 제어부
- (7) 상기 리턴던트 칼럼 및 상기 메인칼럼이 별도로 공유하는 데이터버스부;
- (8) 상기 리턴던트 칼럼이 공유하는 데이터버스부와 연결된 리턴던트 버스;
- (9) 상기 메인칼럼이 공유하는 데이터버스부와 연결된 메인버스;
- (10) 상기 리턴던트 버스와 연결된 리턴던트 센스앰프 어레이; 및
- (11) 상기 메인버스와 연결된 메인 센스앰프 어레이
- 를 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 20】

제 19 항에 있어서,

상기 로우 리턴던시 셀 어레이는 복수개의 서브 로우 리턴던시 셀 블록을 포함하는 것으로서

상기 서브 로우 리턴던시 셀 블록은 각각의 양단에서 상기 메인 비트라인과 연결되는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 21】

제 20 항에 있어서,

상기 각각의 로우 리턴던시 서브 셀 블록은 상기 메인 서브 셀 블록과 동일한 구조로서 상기 메인 서브 셀 블록과 동일한 수의 단위 메모리 셀을 포함하고, 소정의 상기 단위 메모리 셀에 연결된 리턴던시 워드라인 및 리턴던시 플레이트 라인은 접지된 것임을 특징으로 하는 강유전체 메모리 장치.

【청구항 22】

제 20 항에 있어서,

상기 로우 리턴턴시 서브 셀 블록은 상기 메인 서브 셀 블록과 동일한 구조로서 상기 메인 서브 셀 블록에 포함된 단위 메모리 셀의 개수보다 적은 수의 단위 메모리 셀을 포함하며, 상기 로우 리턴턴시 서브 셀 블록에 포함된 서브 비트라인과 그라운드 사이에 연결된 캐패시터를 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

【청구항 23】

제 22 항에 있어서,

상기 캐패시터는 게이트가 상기 서브 비트라인에 연결되고 드레인과 소스가 접지된 NMOS 트랜지스터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 24】

제 22 항에 있어서,

상기 캐패시터는 게이트가 접지되고 드레인과 소스가 상기 서브 비트라인에 연결된 NMOS 트랜지스터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 25】

제 22 항에 있어서,

상기 캐패시터는 P전극이 접지되고 N 전극이 상기 서브 비트라인에 연결된 다이오드임을 특징으로 하는 강유전체 메모리 장치.

【청구항 26】

제 22 항에 있어서,

상기 캐패시터는 강유전체 캐패시터임을 특징으로 하는 강유전체 메모리 장치.

【청구항 27】

제 20 항 내지 제 26 항 중 어느 한 항에 있어서,

상기 제1 칼럼 리턴던시 셀 어레이는 각각 리턴던시 메인 비트라인을 포함하는 복수개의 제1 단위 셀 어레이를 포함하고, 상기 각각의 제1 단위 셀 어레이의 구조는 대응하는 상기 메인 셀 어레이의 구조와 동일한 것을 특징으로 하는 강유전체 메모리 장치.

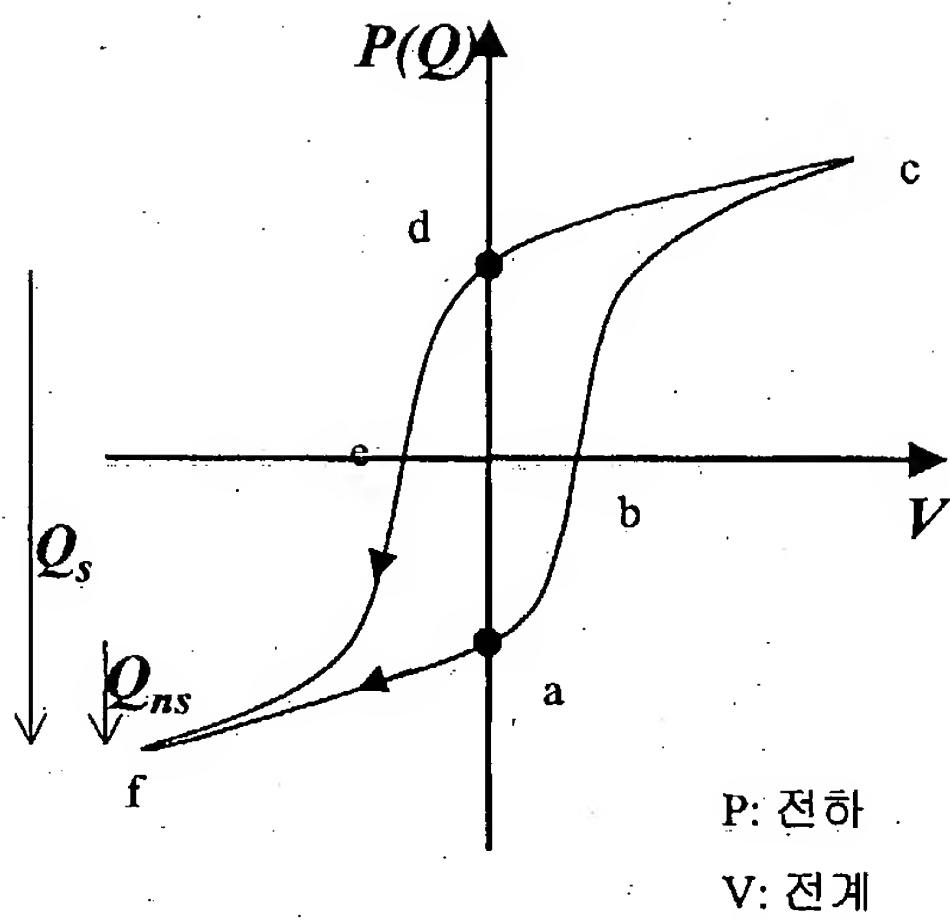
【청구항 28】

제 27 항에 있어서,

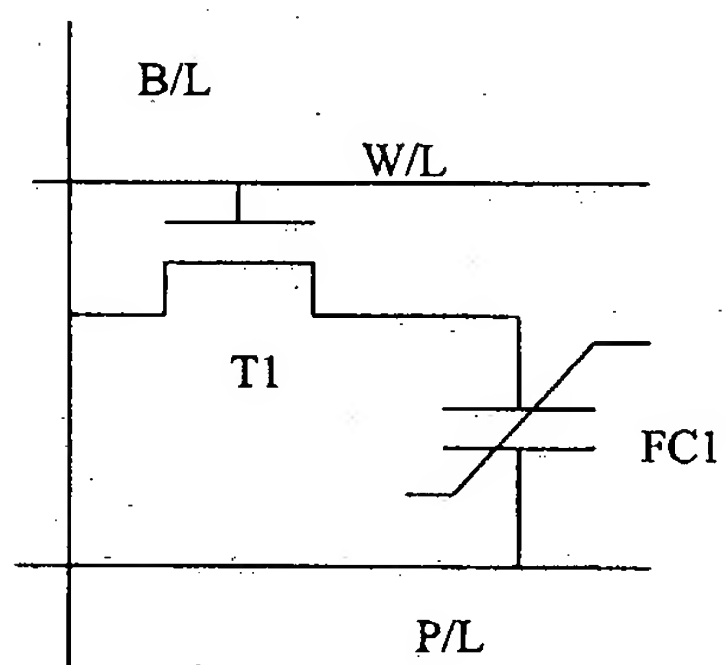
상기 제2 칼럼 리턴던시 셀 어레이는 각각 상기 제1 단위 셀 어레이와 상기 리턴던시 메인 비트라인을 공유하는 제2 단위 셀 어레이를 포함하고, 상기 각각의 제2 단위 셀 어레이의 구조는 대응하는 상기 로우 리턴던시 셀 어레이의 구조와 동일한 것을 특징으로 하는 강유전체 메모리 장치.

【도면】

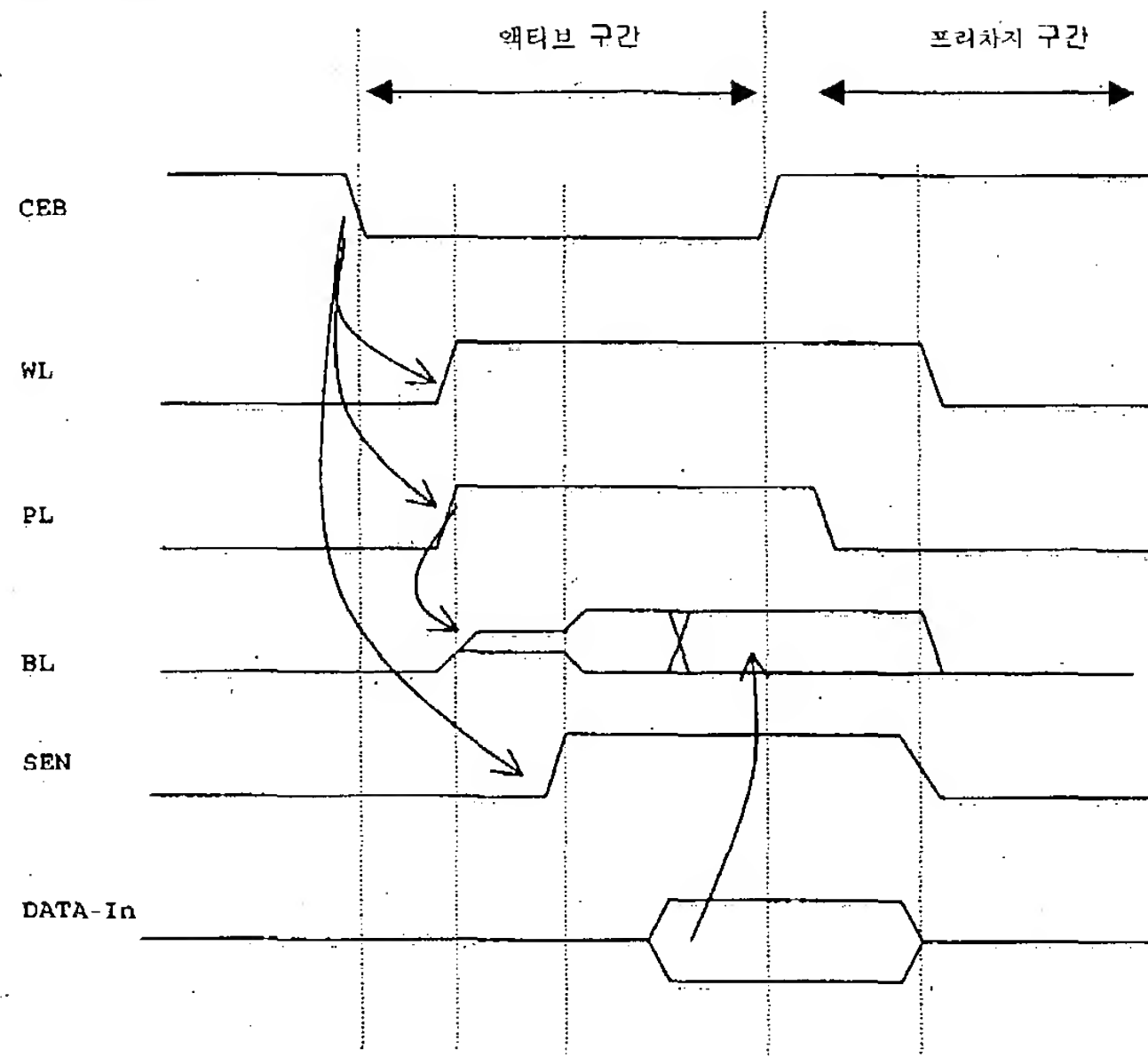
【도 1】



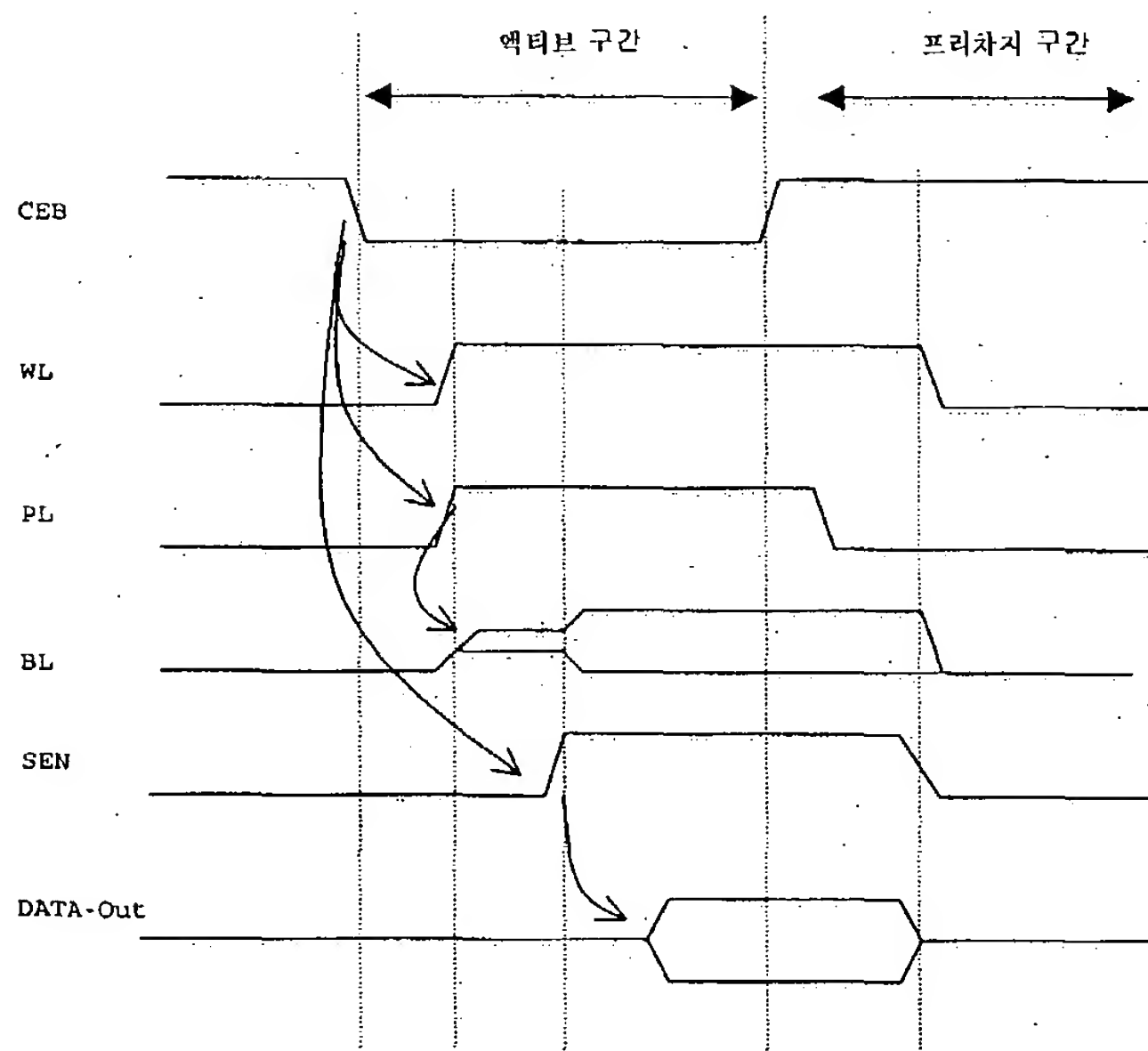
【도 2】



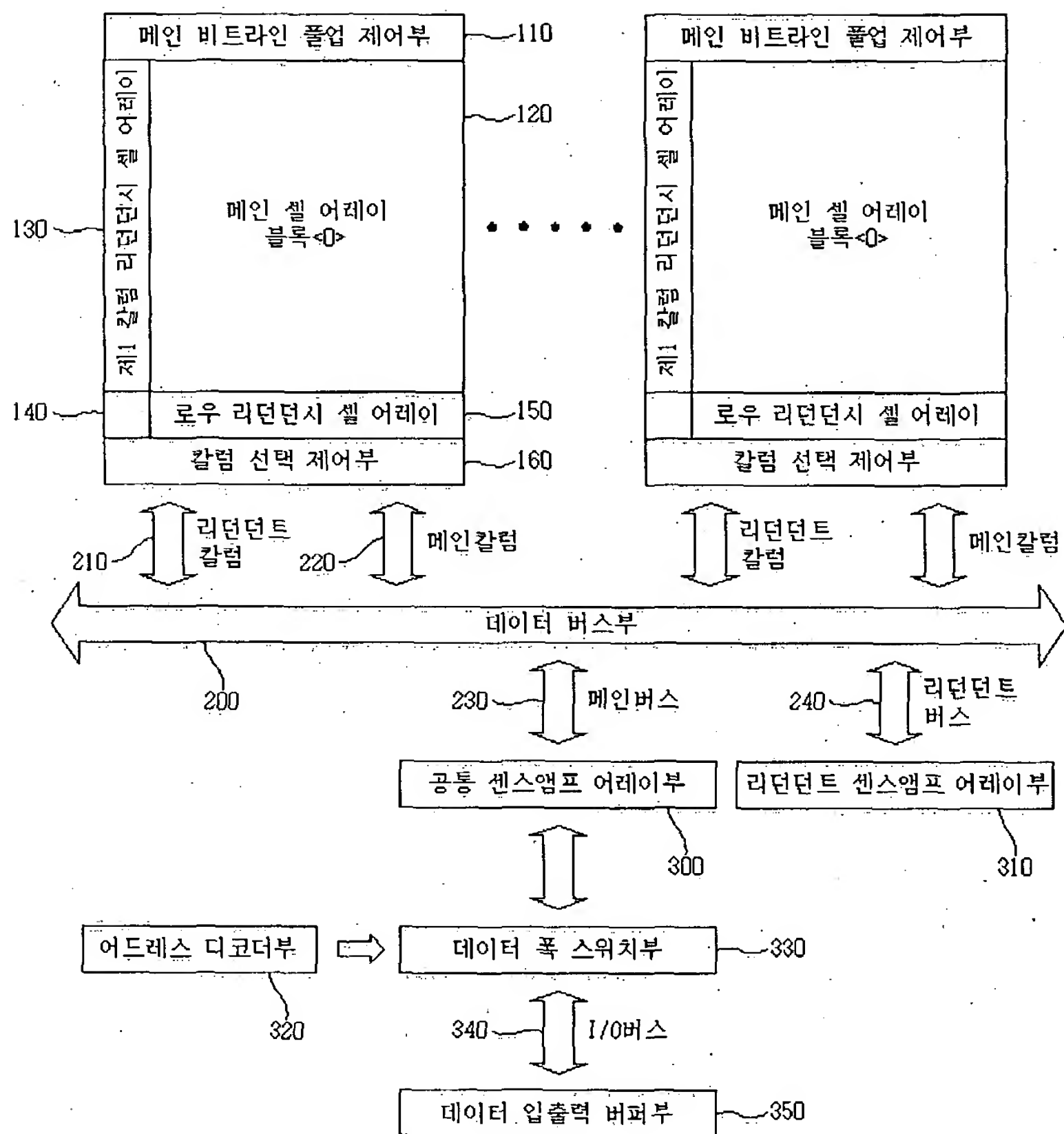
【도 3a】



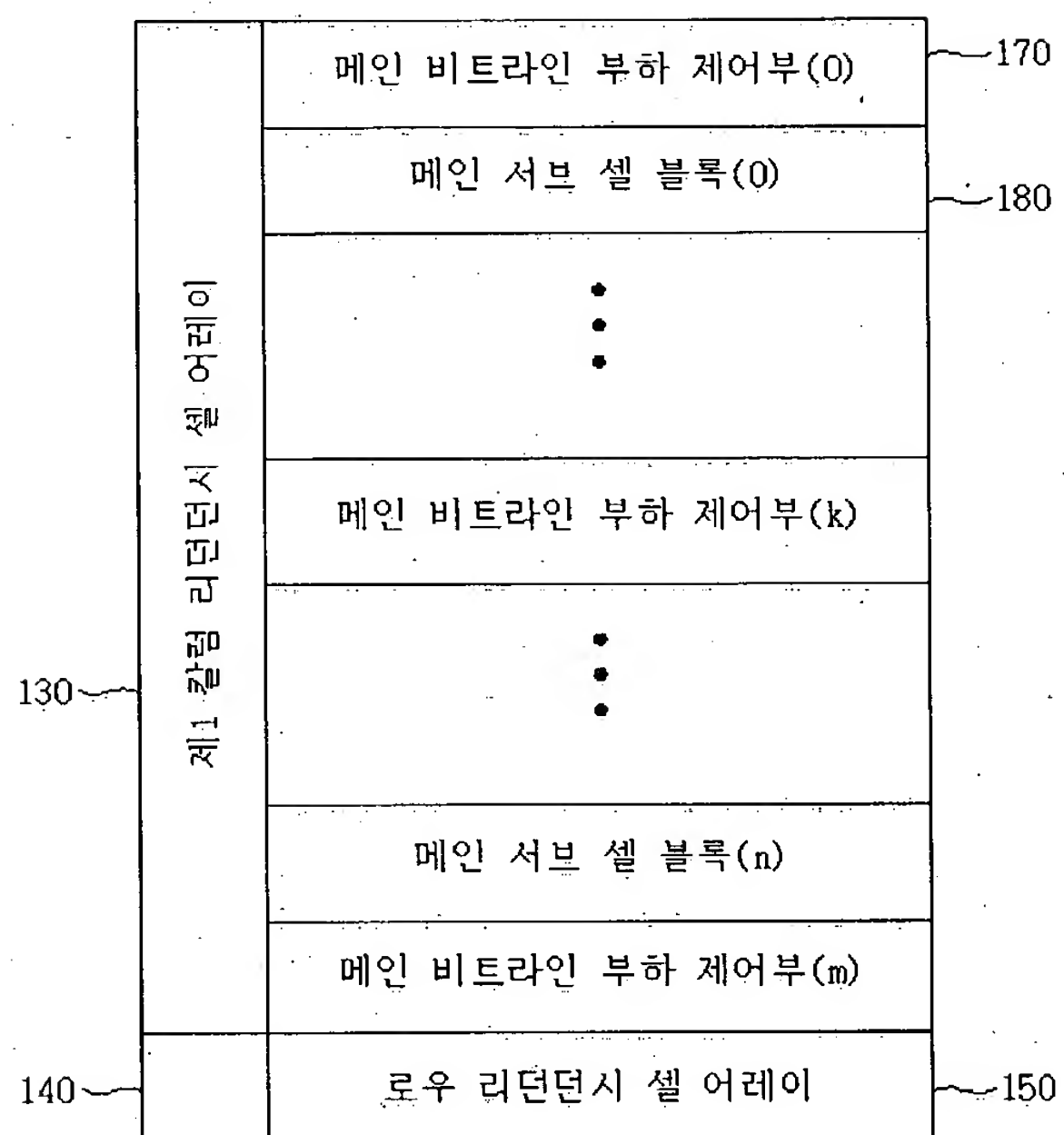
【도 3b】



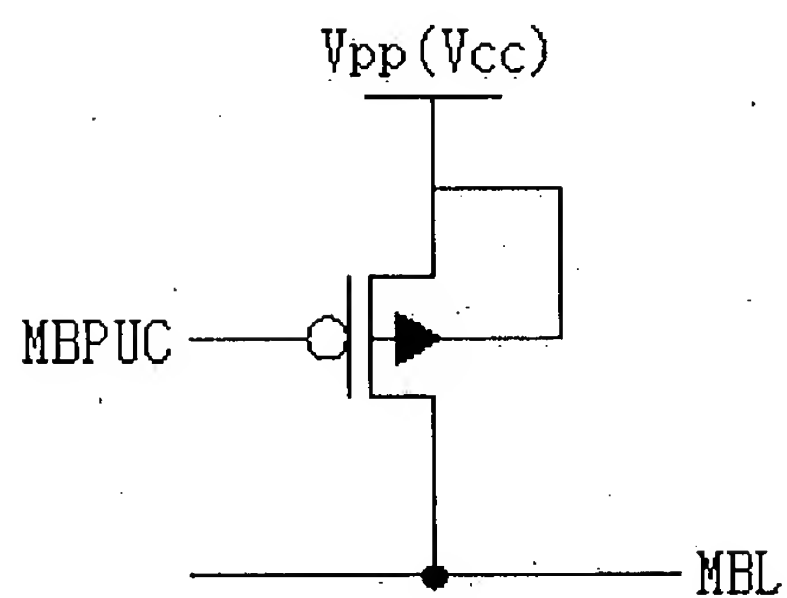
【도 4】



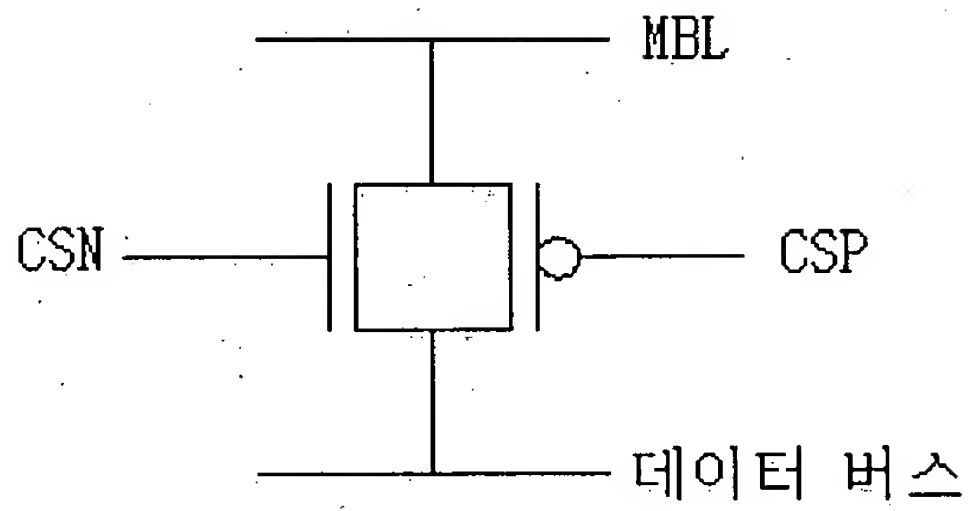
【도 5】



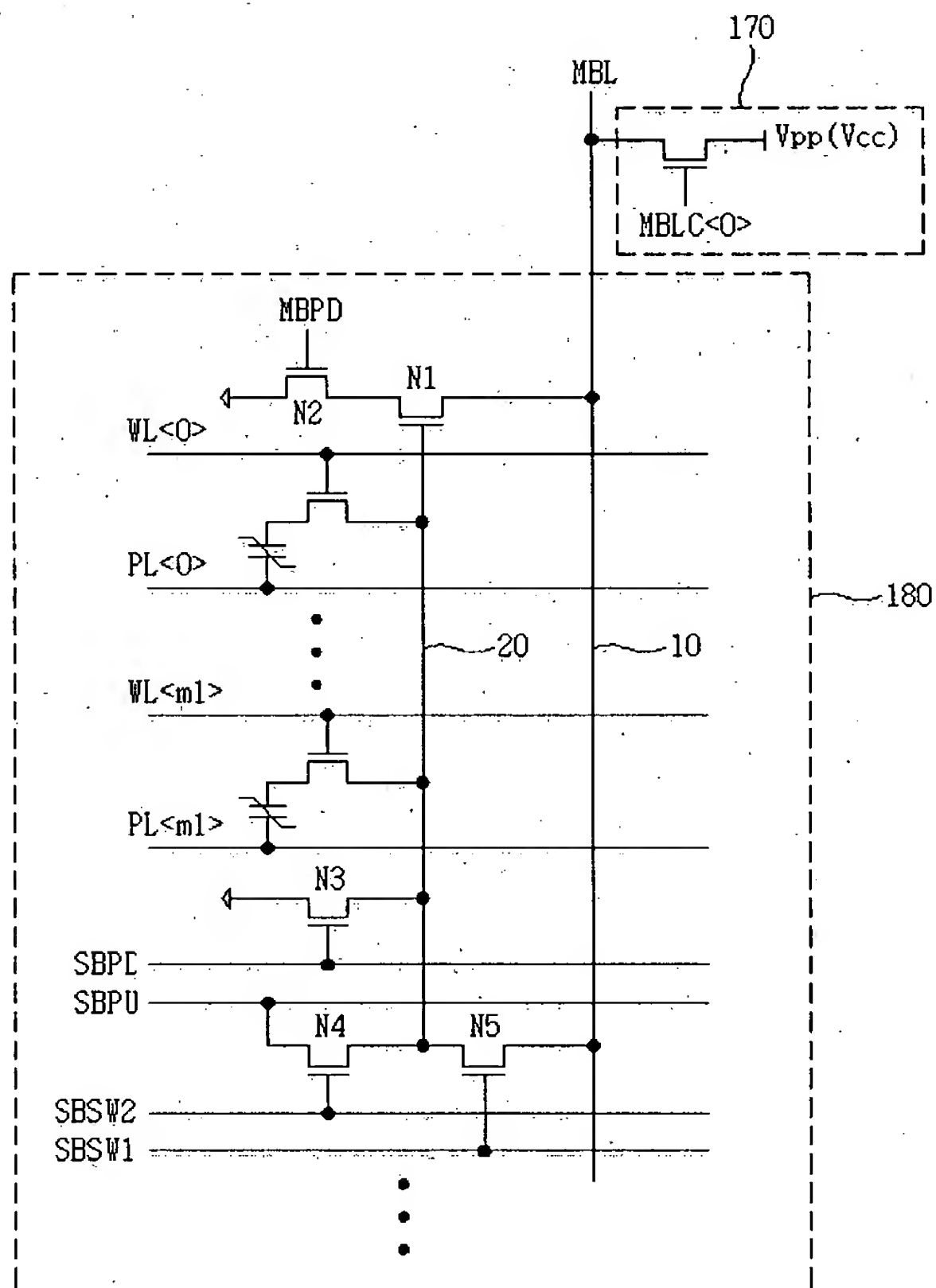
【도 6】



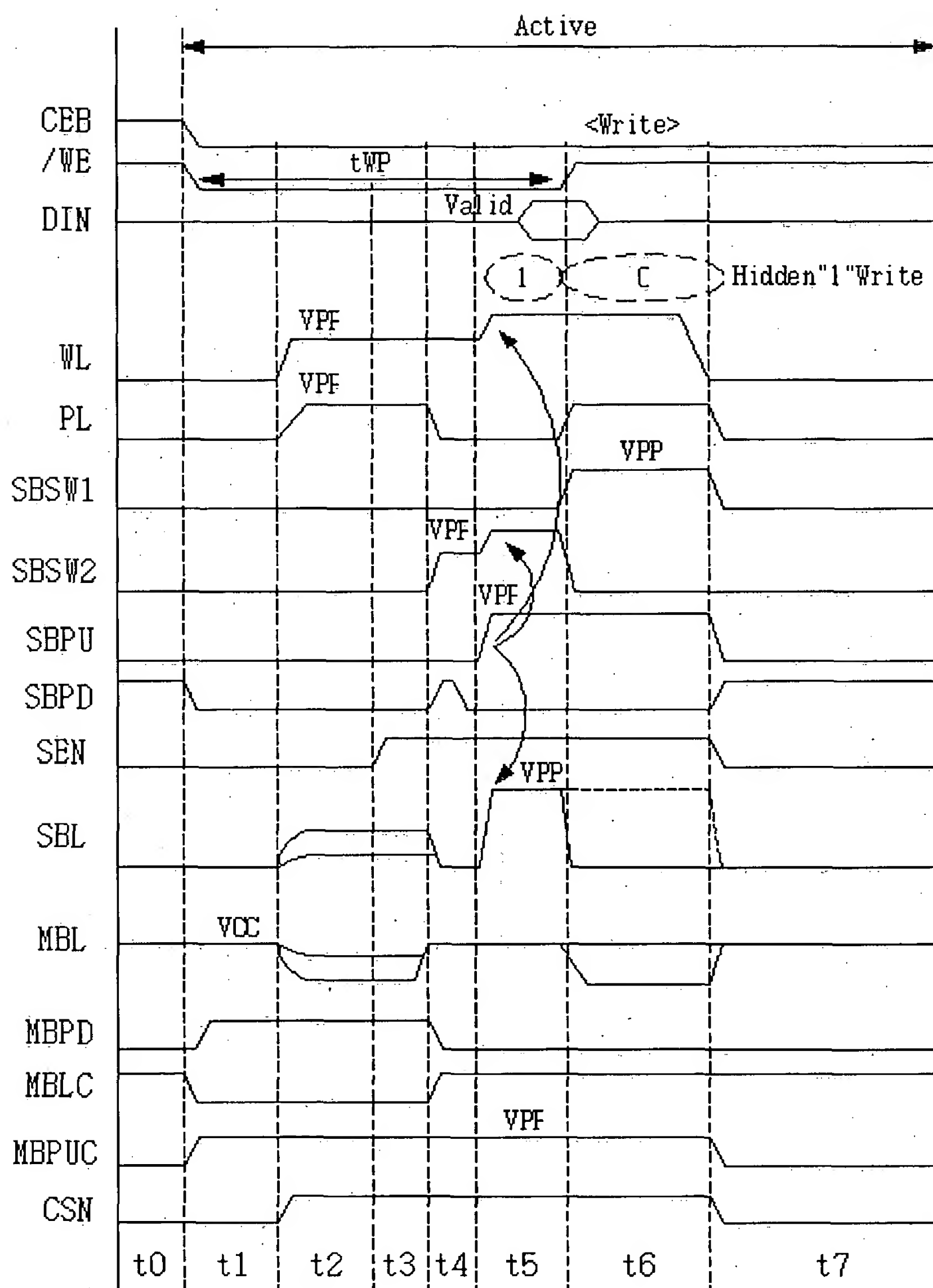
【도 7】



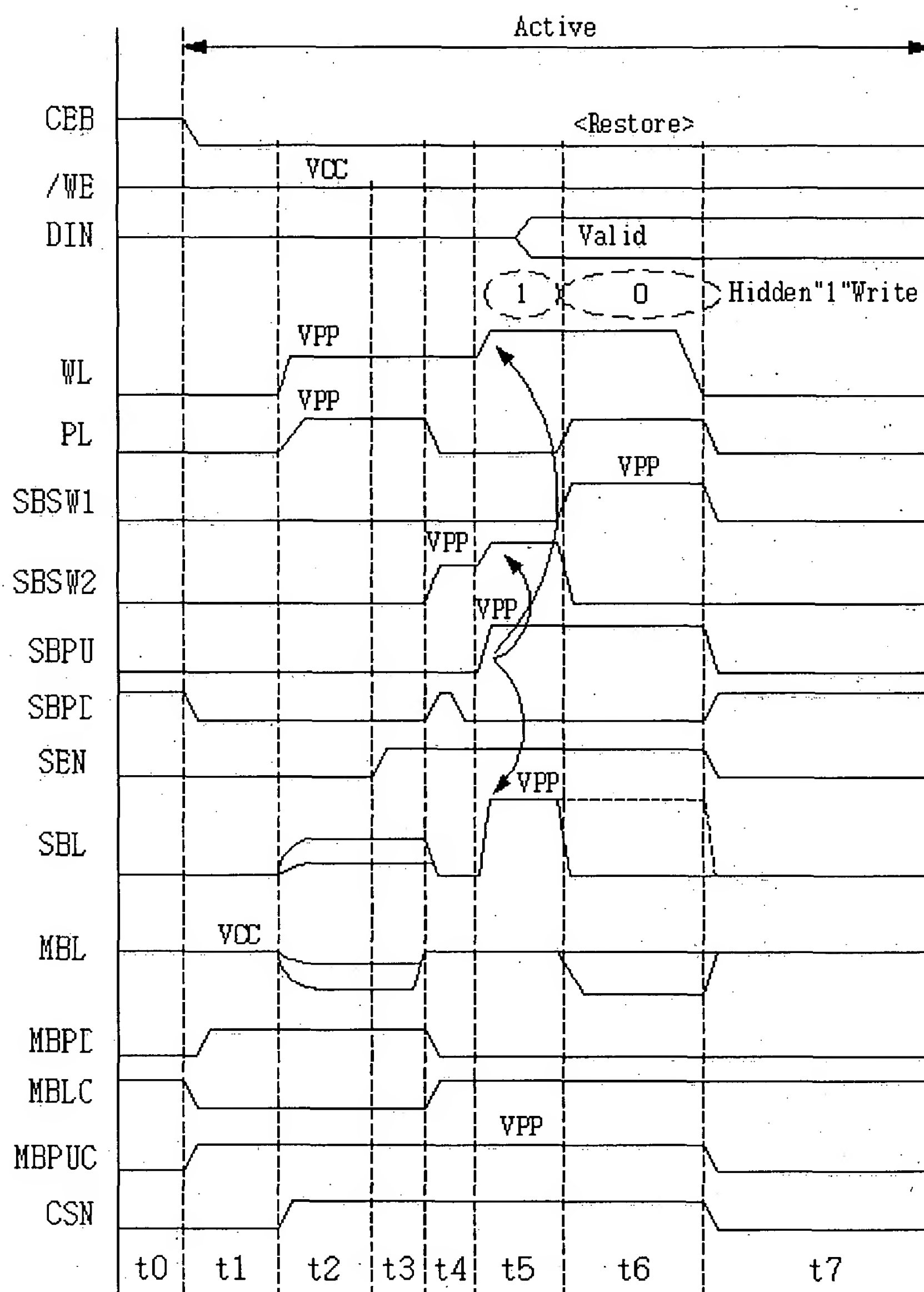
【도 8】



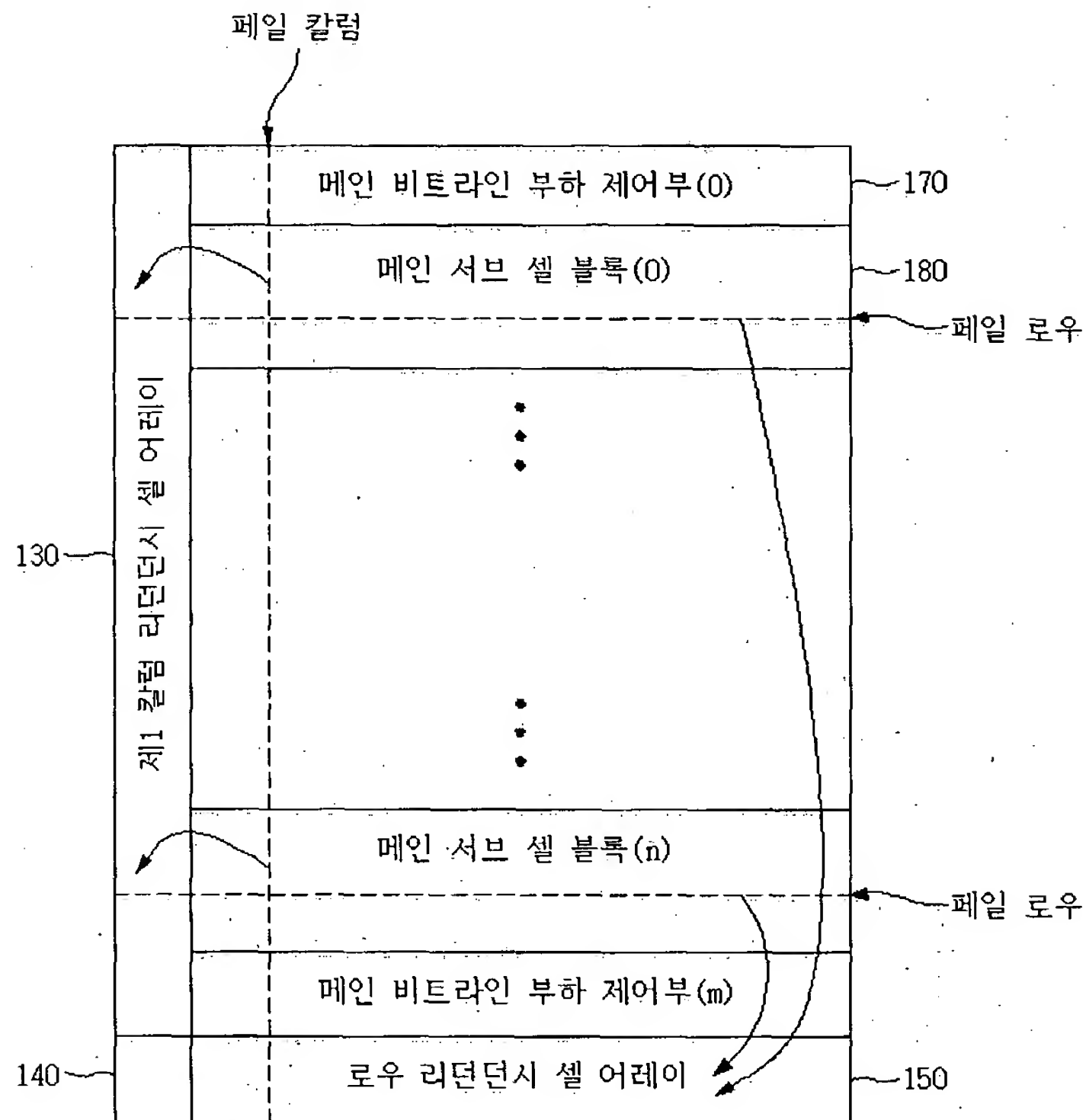
【도 9】



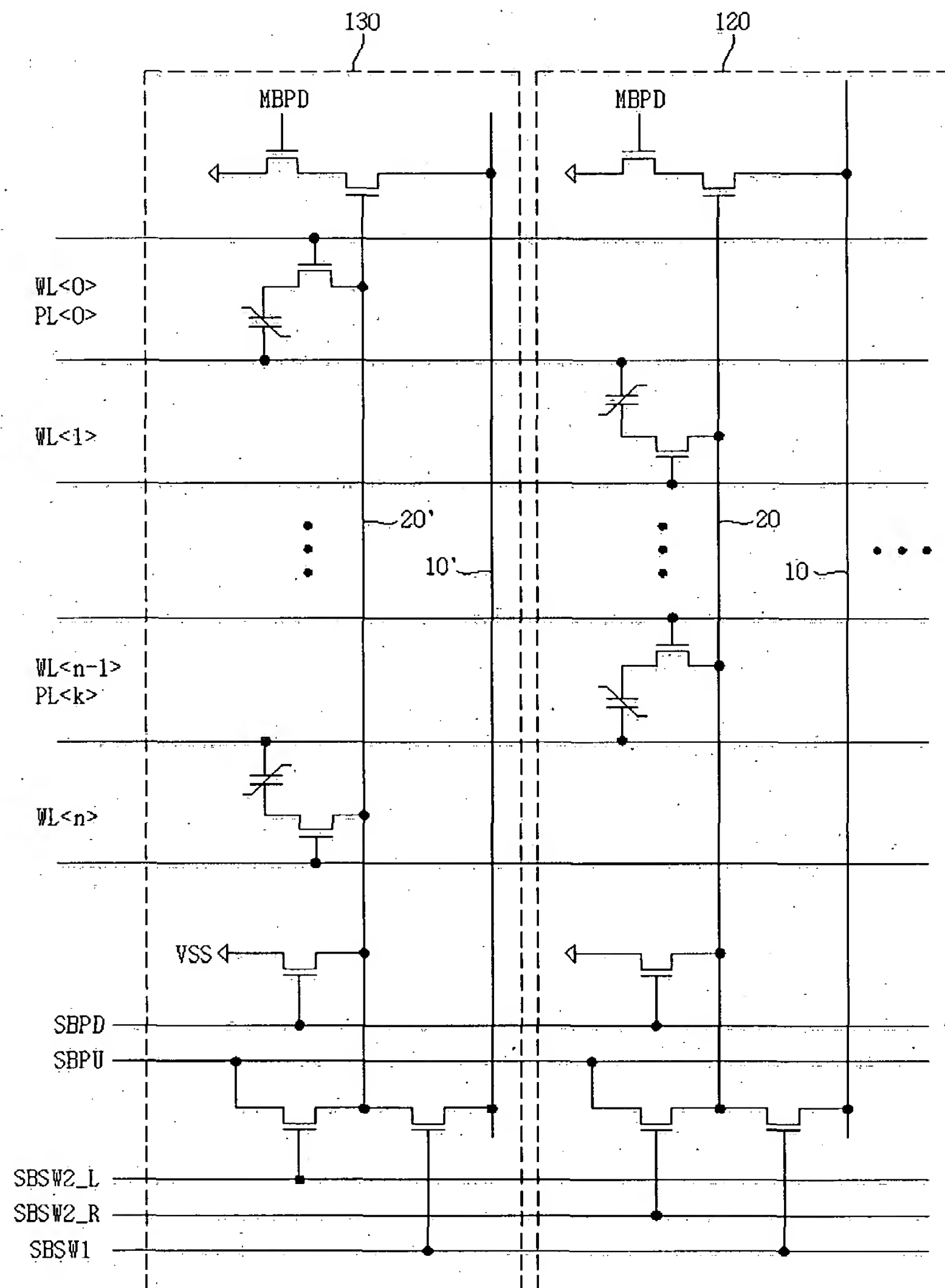
【도 10】



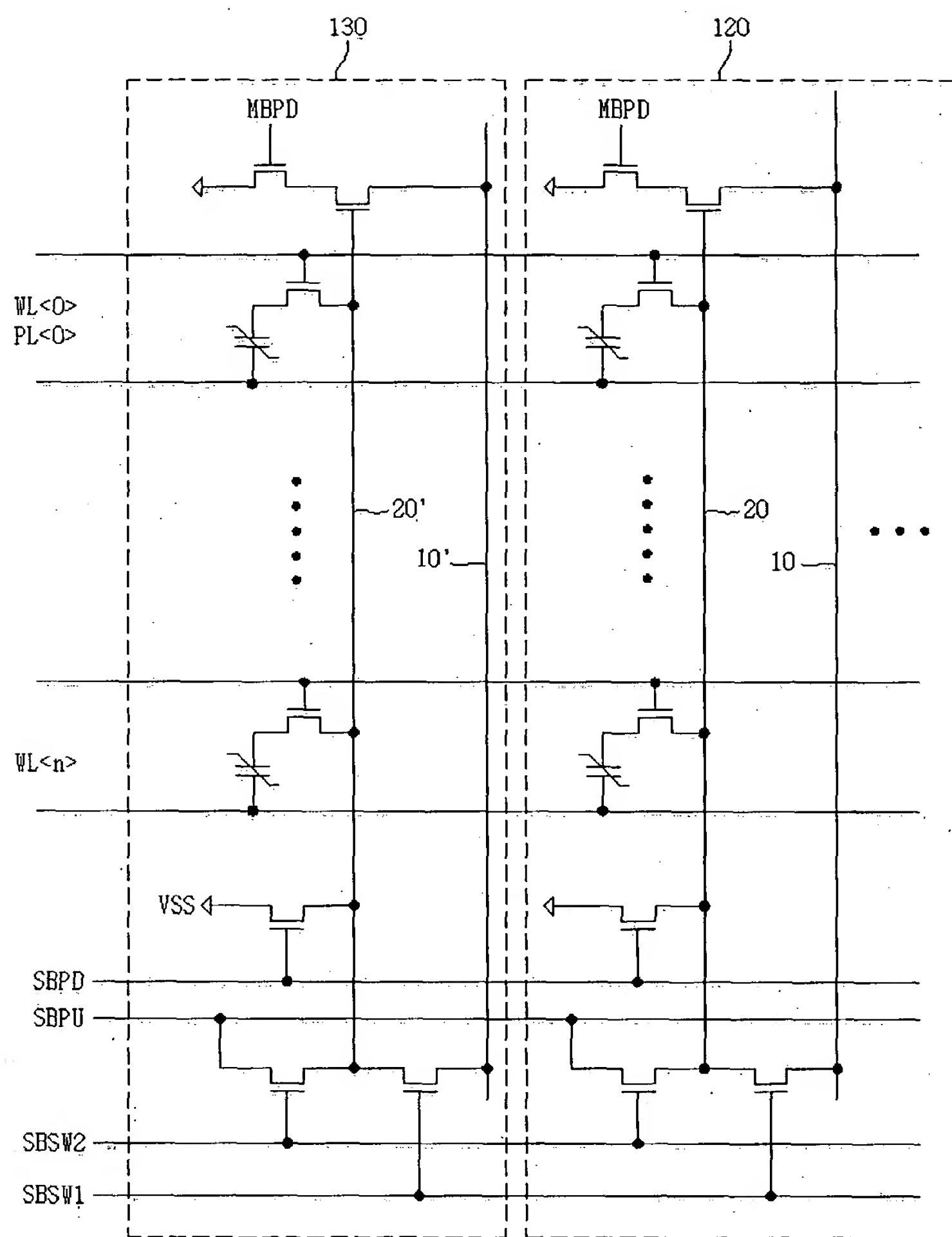
【도 11】



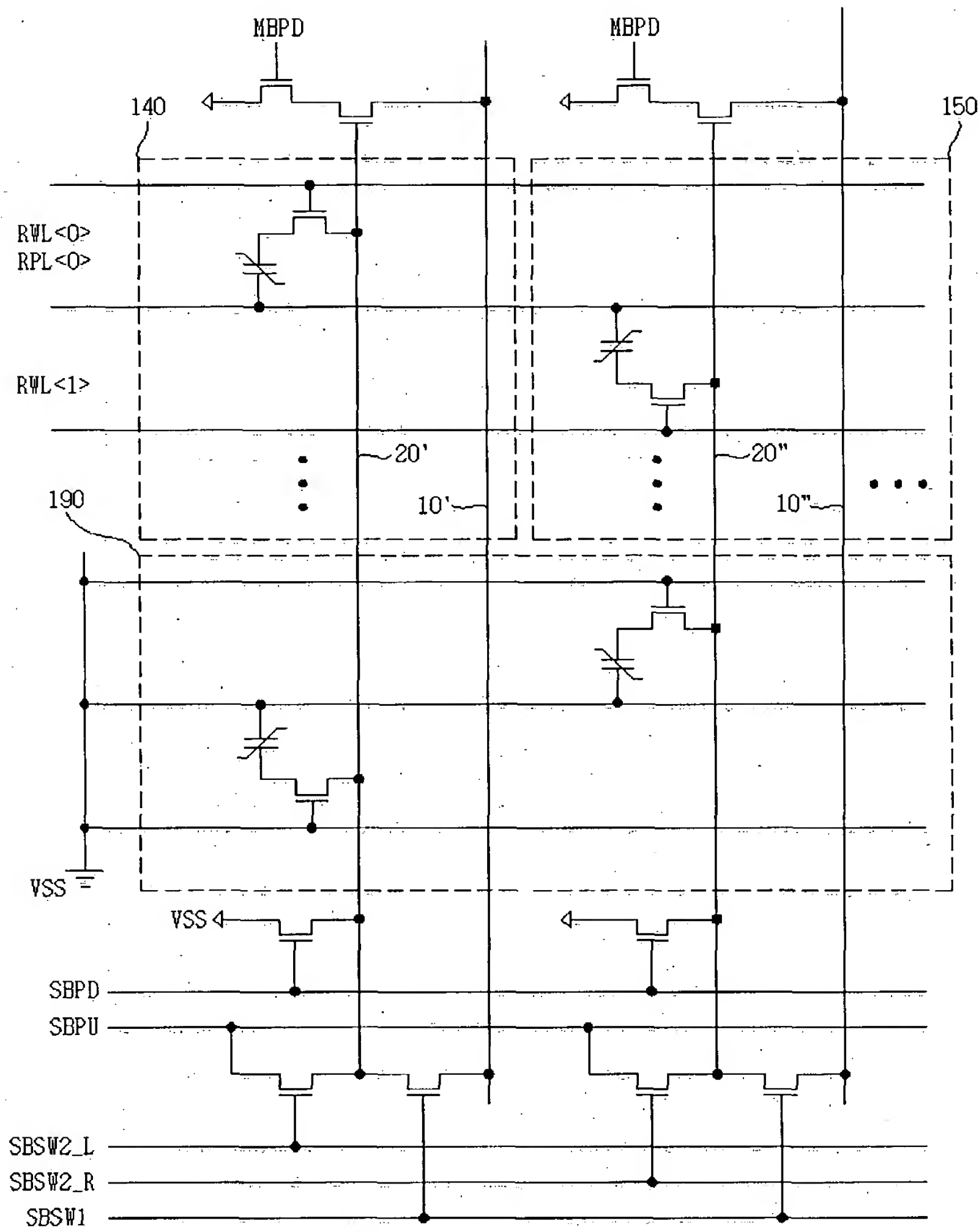
【도 12】



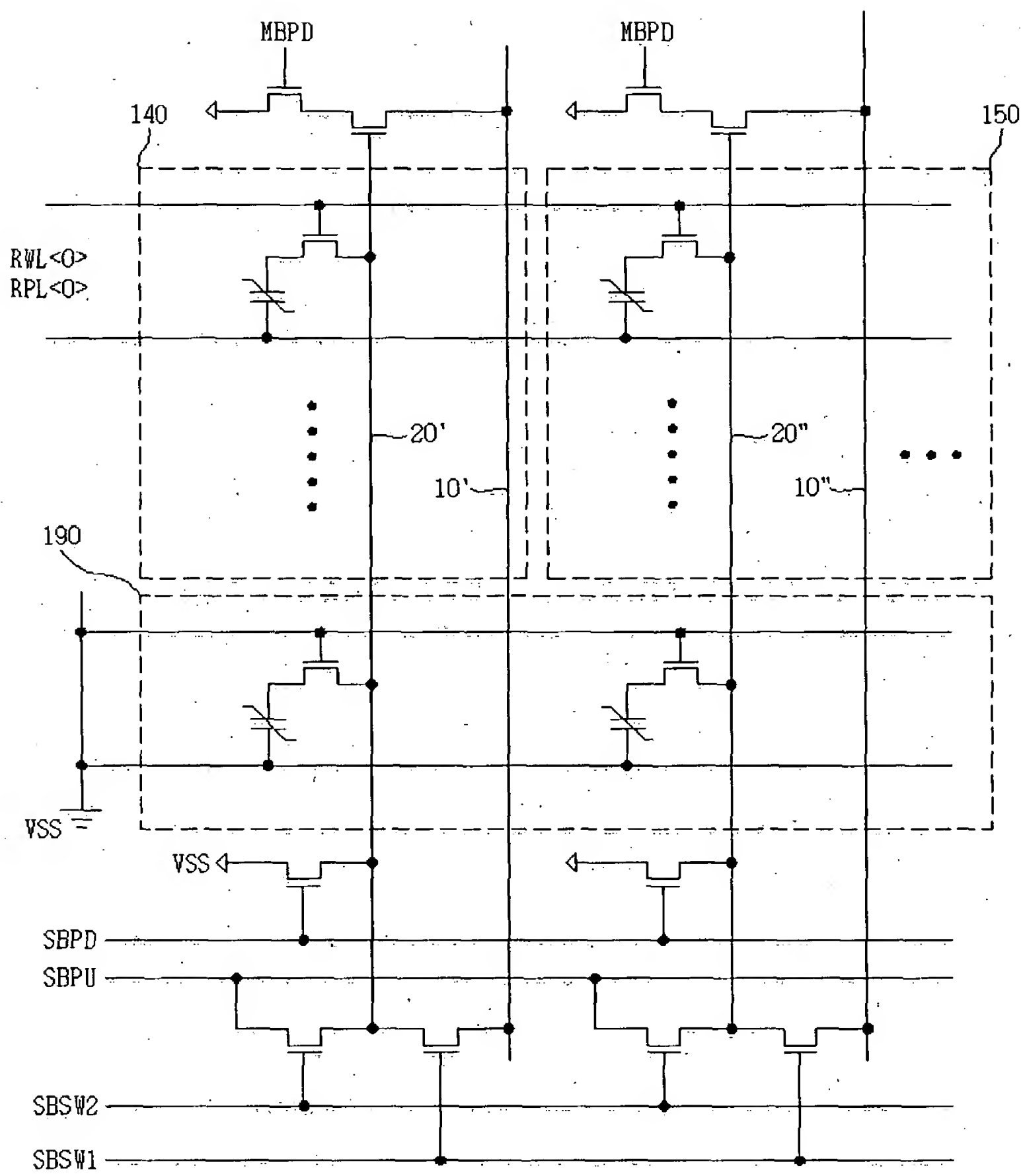
【도 13】



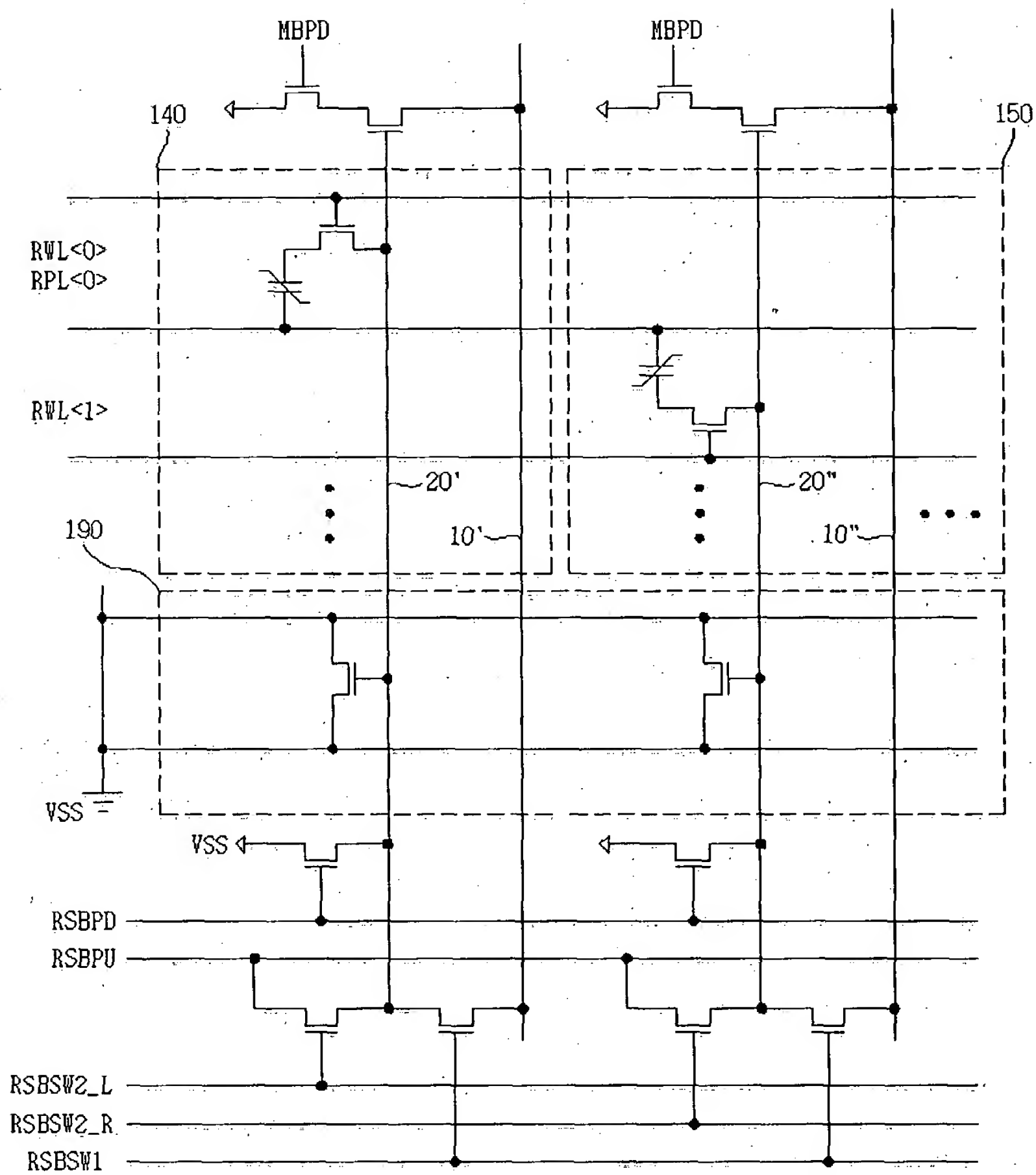
【도 14】



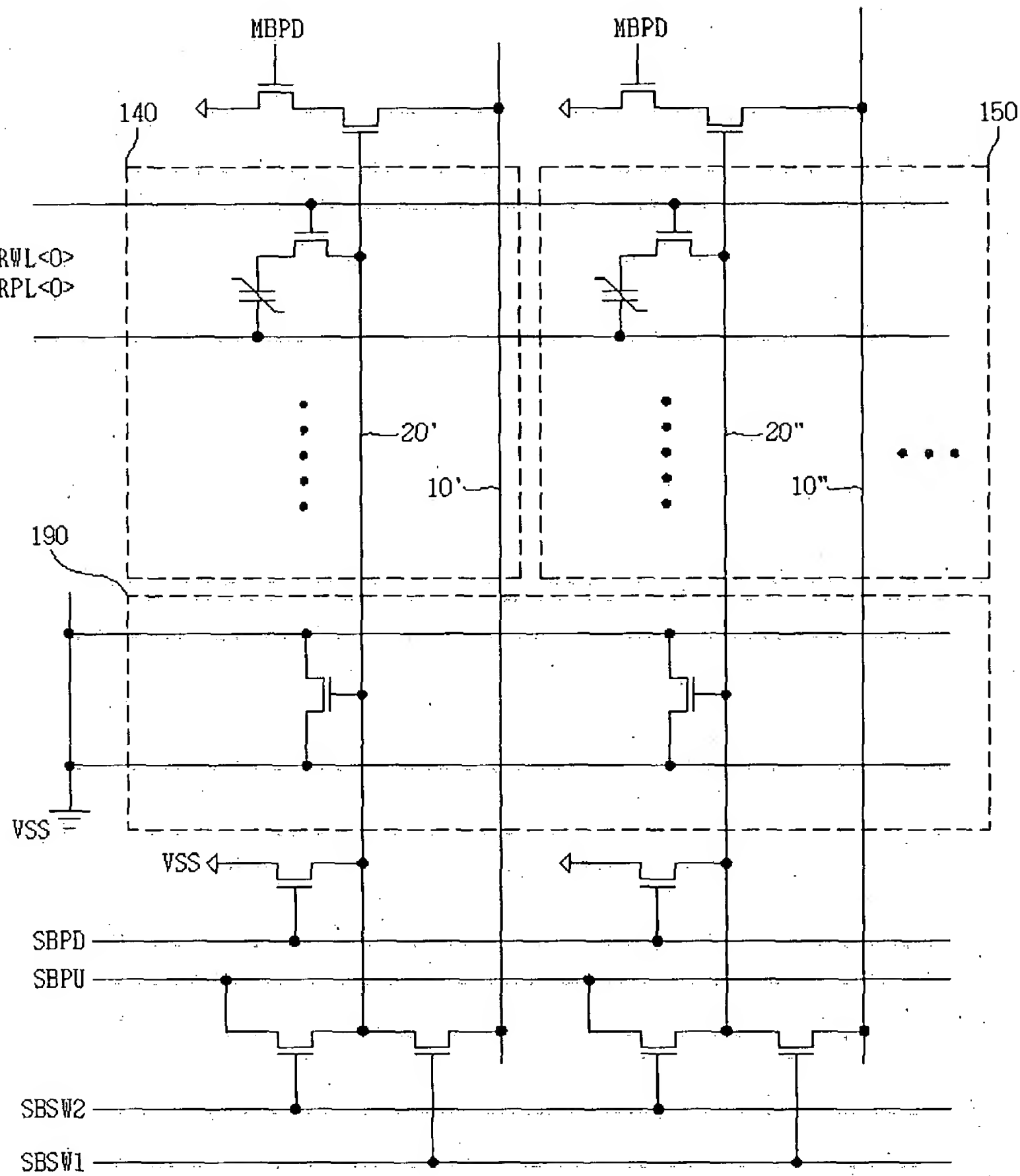
【도 15】



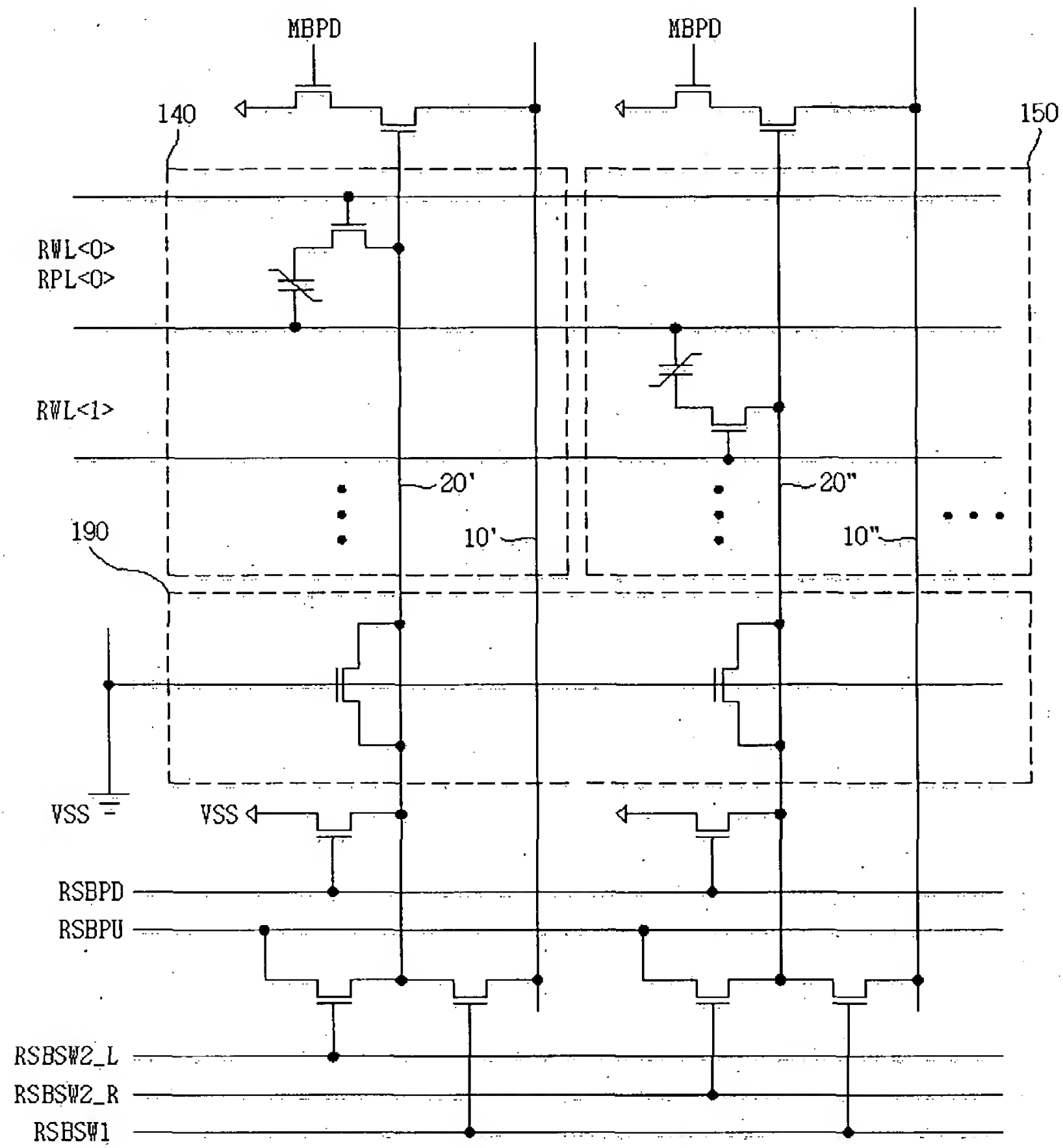
【도 16】



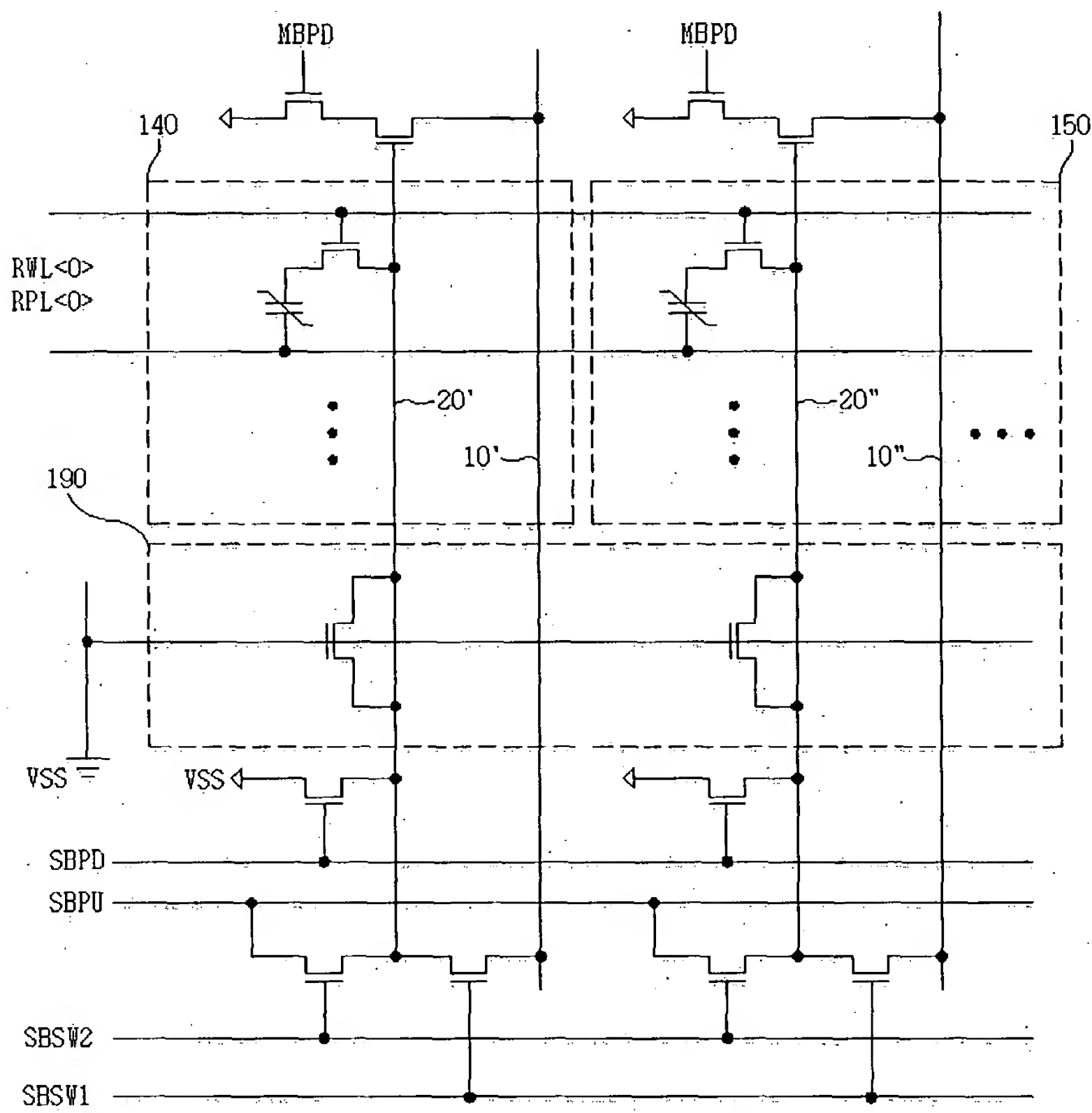
【도 17】



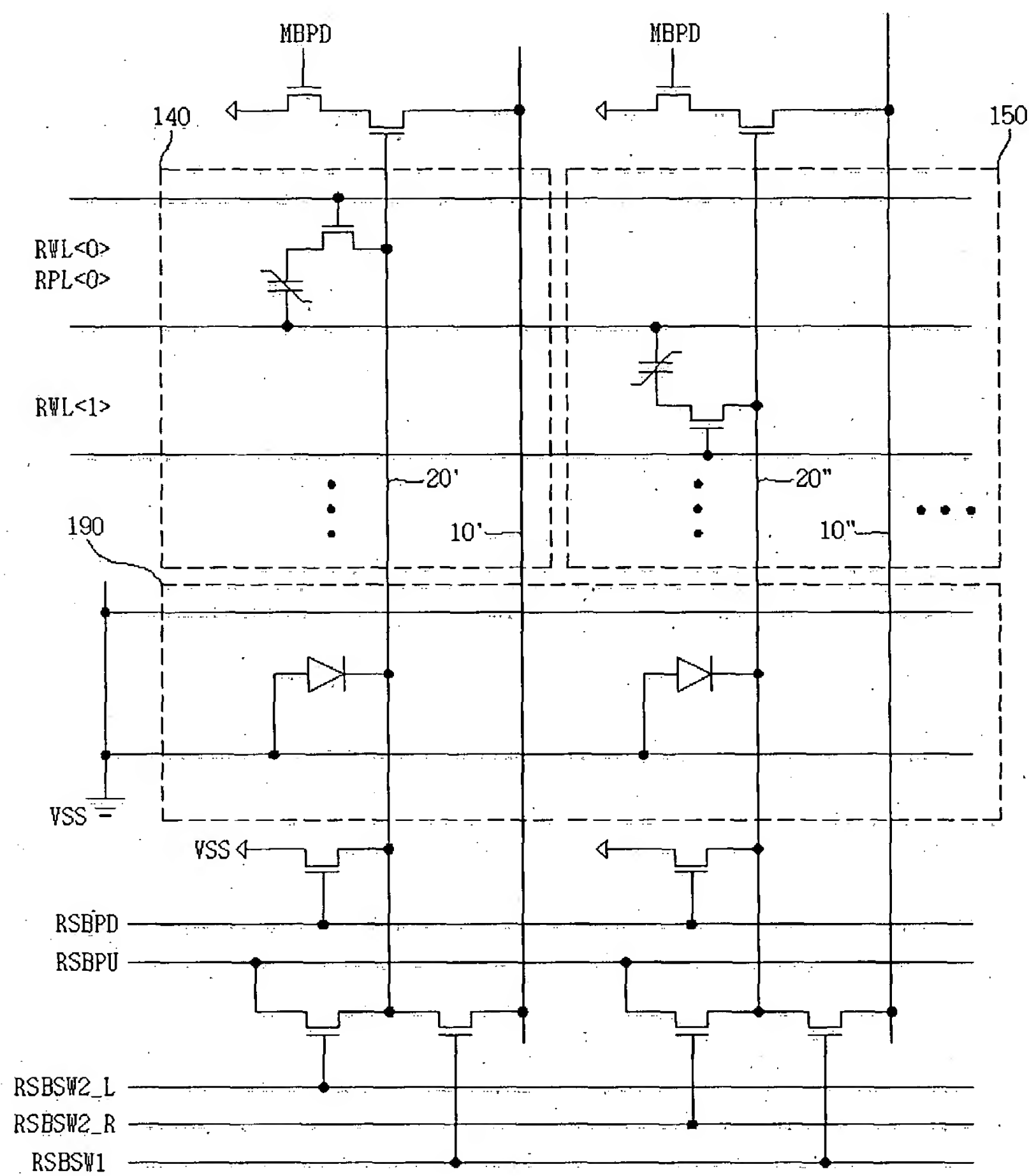
【도 18】



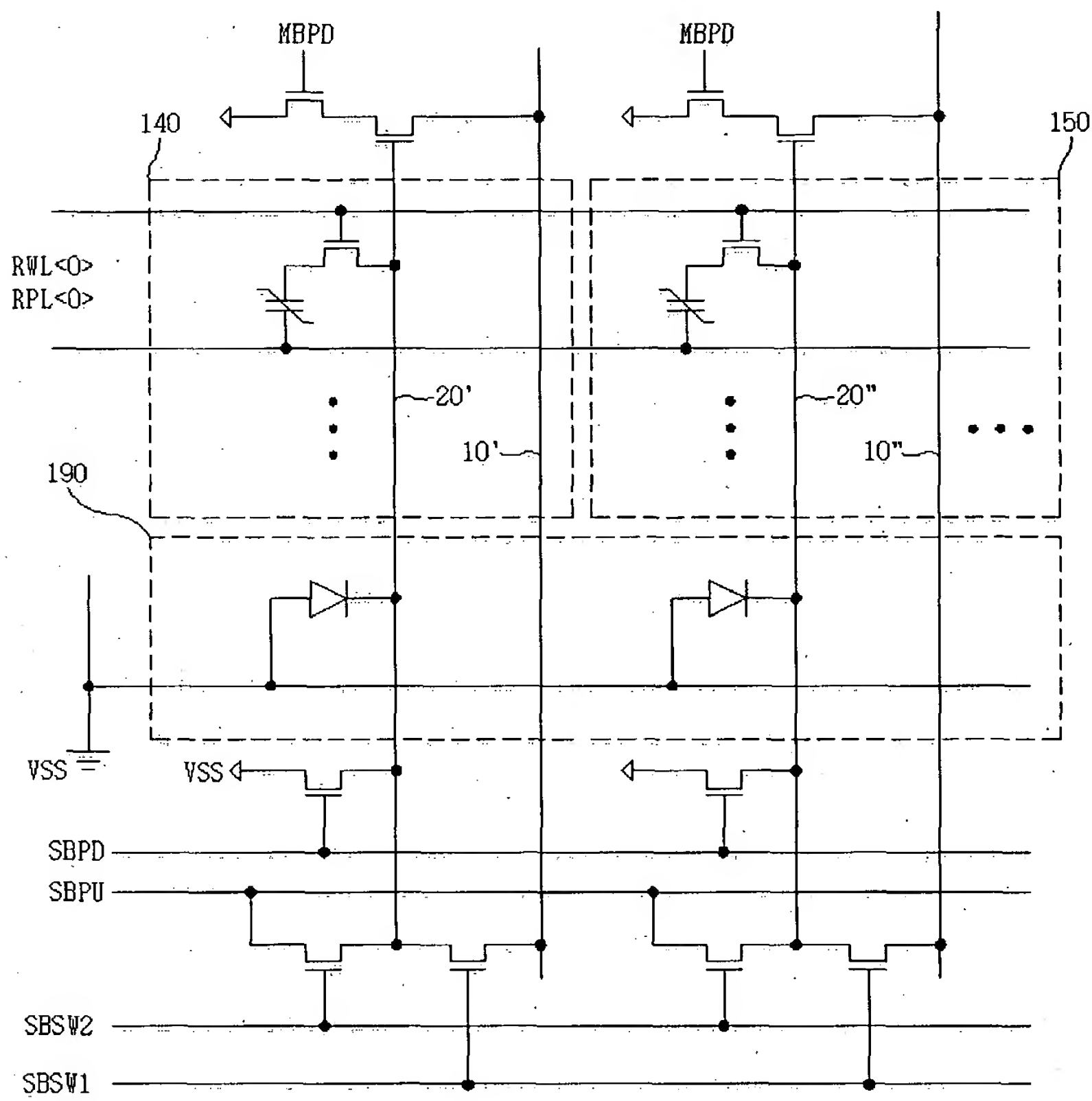
【도 19】



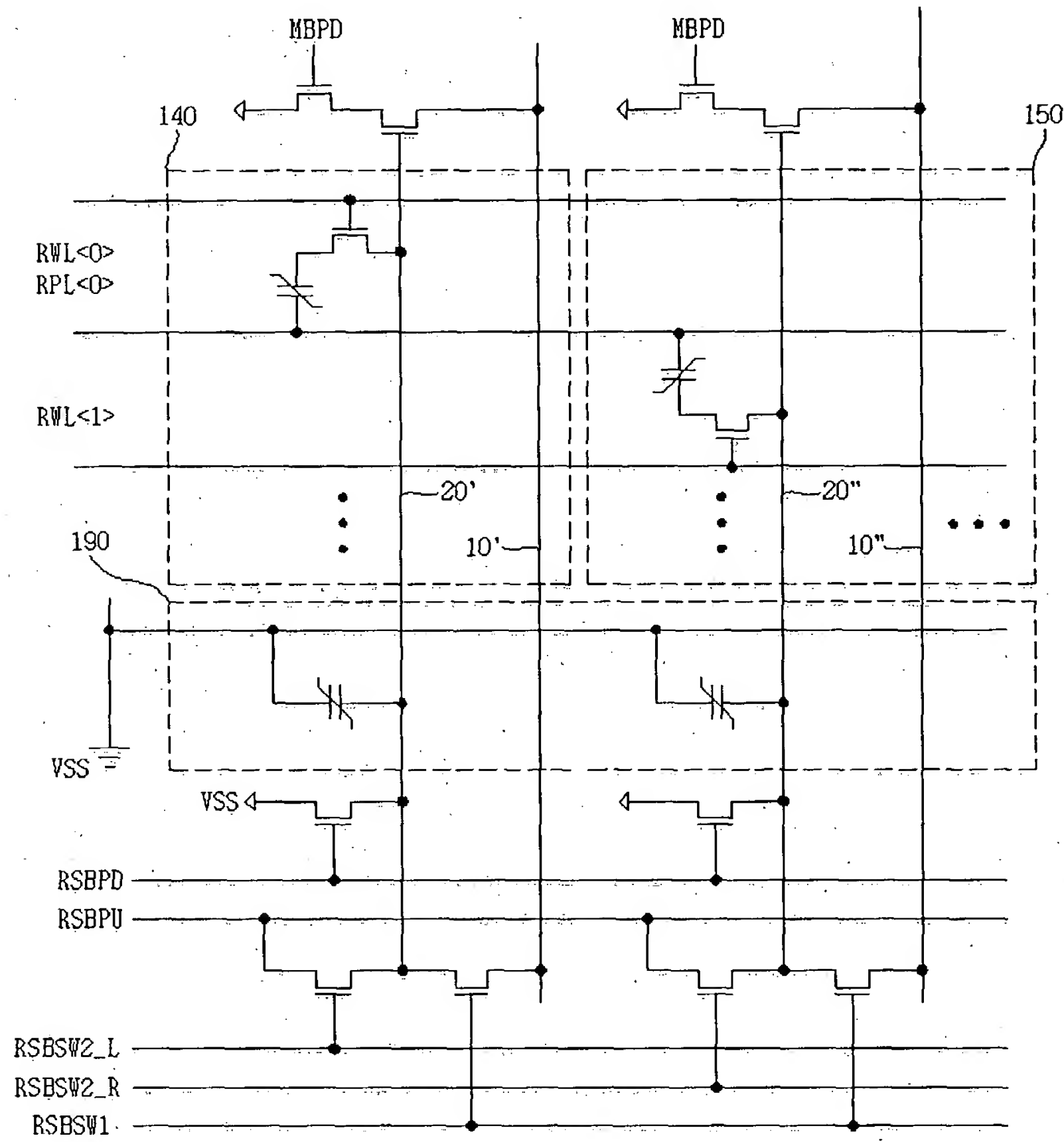
【도 20】



【도 21】



【도 22】



【도 23】

